

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JCS11 U.S. PTC
09/176315
10/22/98

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

1 9 9 8 年 6 月 1 0 日

出 願 番 号
Application Number:

平成 1 0 年 特 許 願 第 1 6 2 2 8 5 号

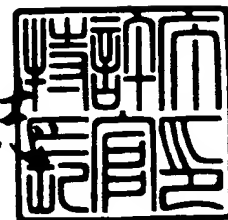
出 願 人
Applicant (s):

三菱電機株式会社

1 9 9 8 年 7 月 1 7 日

特 許 庁 長 官
Commissioner,
Patent Office

伴 佐 山 建 志



出 証 番 号 出 証 特 平 1 0 - 3 0 5 3 2 6 3

【書類名】 特許願

【整理番号】 50796002

【提出日】 平成10年 6月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/76

【発明の名称】 半導体装置の設計方法、半導体装置及び記録媒体

【請求項の数】 19

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 前田 茂伸

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 山口 泰男

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

 【識別番号】 100088845

 【弁理士】

【氏名又は名称】 有田 貴弘

【先の出願に基づく優先権主張】

【出願番号】 平成10年特許願第 81456号

【出願日】 平成10年 3月27日

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9806920

【書類名】 明細書

【発明の名称】 半導体装置の設計方法、半導体装置及び記録媒体

【特許請求の範囲】

【請求項 1】 支持基板、埋込酸化膜及び S O I 層からなる S O I 基板上に形成され、所定のクロックに基づき動作する M O S トランジスタを有する半導体装置の設計方法であって、

前記 M O S トランジスタは、

前記 S O I 層内に選択的に形成される第 1 の導電型の第 1 の半導体領域と、

前記 S O I 層内に選択的に前記第 1 の半導体領域と独立して形成される第 1 の導電型の第 2 の半導体領域と、

前記第 1 及び第 2 の半導体領域間の前記 S O I 層の領域であるボディ領域を含む第 2 の導電型のボディ部と、

前記ボディ領域上にゲート酸化膜を介して形成されるゲート電極と、

前記ボディ部に電氣的に接続され、固定電位を受ける少なくとも 1 つのボディコンタクトとを備え、

(a) 前記所定のクロックの動作周波数を付与するステップと、

(b) 前記所定のクロックの動作周波数に基づき前記 M O S トランジスタのレイアウトパターンを決定するステップとを備え、

前記ステップ (b) は、

C : 前記 M O S トランジスタのゲート容量 (F)

R : 前記少なくとも 1 つのボディコンタクトから前記ボディ領域に至る固定電位伝達経路の抵抗 (Ω)

f : 前記所定のクロックの動作周波数 (Hz)

としたとき、

$f \geq 500 \text{ MHz}$ の範囲において、

条件式 1 : $R \cdot C \cdot f < 1$

を満足するように前記 M O S トランジスタのレイアウトパターンを決定することを特徴とする、

半導体装置の設計方法。

【請求項 2】 支持基板、埋込酸化膜及び S O I 層からなる S O I 基板上に形成される M O S トランジスタを有する半導体装置の設計方法であって、

前記 M O S トランジスタは、

前記 S O I 層内に選択的に形成される第 1 の導電型の第 1 の半導体領域と、

前記 S O I 層内に選択的に前記第 1 の半導体領域と独立して形成される第 1 の導電型の第 2 の半導体領域と、

前記第 1 及び第 2 の半導体領域間の前記 S O I 層の領域であるボディ領域を含む第 2 の導電型のボディ部と、

前記ボディ領域上にゲート酸化膜を介して形成されるゲート電極とを備え、前記ゲート電極は前記ボディ部に電氣的に接続され、

前記ボディ部に電氣的に接続され、固定電位を受ける少なくとも 1 つのボディコンタクトをさらに備え、

(a) 前記 M O S トランジスタに要求する信号伝播遅延時間を付与するステップと、

(b) 前記信号伝播遅延時間に基づき前記 M O S トランジスタのレイアウトパターンを決定するステップとを備え、

前記ステップ (b) は、

C : 前記 M O S トランジスタのゲート容量 (F)

R : 前記少なくとも 1 つのボディコンタクトから前記ボディ領域に至る固定電位伝達経路の抵抗 (Ω)

t d : 前記 M O S トランジスタに要求する信号伝播遅延時間 (s)

としたとき、

t d \leq 50 p s の範囲において、

条件式 2 : (R · C) / t d < 1

を満足するように前記 M O S トランジスタのレイアウトパターンを決定したことを特徴とする、

半導体装置の設計方法。

【請求項 3】 請求項 1 記載の半導体装置の設計方法で設計された半導体装置。

【請求項 4】 請求項 2 記載の半導体装置の設計方法で設計された半導体装置。

【請求項 5】 支持基板、埋込酸化膜及び S O I 層からなる S O I 基板上に形成され、所定のクロックに基づき動作する M O S トランジスタを有する半導体装置であって、

前記 M O S トランジスタは、

前記 S O I 層内に選択的に形成される第 1 の導電型の第 1 の半導体領域と、

前記 S O I 層内に選択的に前記第 1 の半導体領域と独立して形成される第 1 の導電型の第 2 の半導体領域と、

前記第 1 及び第 2 の半導体領域間の前記 S O I 層の領域であるボディ領域を含む第 2 の導電型のボディ部と、

前記ボディ領域上にゲート酸化膜を介して形成されるゲート電極と、

前記ボディ部に電氣的に接続され、固定電位を受ける少なくとも 1 つのボディコンタクトとを備え、

C : 前記 M O S トランジスタのゲート容量 (F)

R : 前記少なくとも 1 つのボディコンタクトから前記ボディ領域に至る固定電位伝達経路の抵抗 (Ω)

f : 前記所定のクロックの動作周波数 (Hz)

としたとき、

$f \geq 500 \text{ MHz}$ の範囲において、

条件式 1 : $R \cdot C \cdot f < 1$

を満足することを特徴とする半導体装置。

【請求項 6】 支持基板、埋込酸化膜及び S O I 層からなる S O I 基板上に形成される M O S トランジスタを有する半導体装置であって、

前記 M O S トランジスタは、

前記 S O I 層内に選択的に形成される第 1 の導電型の第 1 の半導体領域と、

前記 S O I 層内に選択的に前記第 1 の半導体領域と独立して形成される第 1 の導電型の第 2 の半導体領域と、

前記第 1 及び第 2 の半導体領域間の前記 S O I 層の領域であるボディ領域を含

む第2の導電型のボディ部と、

前記ボディ領域上にゲート酸化膜を介して形成されるゲート電極とを備え、前記ゲート電極は前記ボディ部に電氣的に接続され、

前記ボディ部に電氣的に接続され、固定電位を受ける少なくとも1つのボディコンタクトをさらに備え、

C：前記MOSトランジスタのゲート容量(F)

R：前記少なくとも1つのボディコンタクトから前記ボディ領域に至る固定電位伝達経路の抵抗(Ω)

t_d ：前記MOSトランジスタに要求する信号伝播遅延時間(s)

としたとき、

$t_d \leq 50 \text{ ps}$ の範囲において、

条件式2： $(R \cdot C) / t_d < 1$

を満足することを特徴とする半導体装置。

【請求項7】 前記固定電位伝達経路の抵抗Rは、

W：前記ボディ領域における前記固定電位伝達経路の前記ゲート電極のゲート幅方向の長さ

L：前記ボディ領域における前記固定電位伝達経路の前記ゲート電極のゲート長方向の長さ

t_{SOI} ：前記SOI層の膜厚

ρ ：前記ボディ領域の比抵抗

としたとき、

$$R = (\rho \cdot W) / (L \cdot t_{\text{SOI}})$$

で決定する、

請求項5あるいは請求項6記載の半導体装置。

【請求項8】 前記ボディ部は、前記ボディ領域から延びて、前記第1及び第2の半導体領域の外周部の少なくとも一部に隣接して形成される領域を含み、

前記ボディ領域を除き、前記第1及び第2の半導体領域の外周部の少なくとも一部に隣接した前記ボディ部上に絶縁膜を介して形成される分離電極をさらに備え、

前記少なくとも 1 つのボディコンタクトは、前記分離電極を挟んで、前記第 1 及び第 2 の半導体領域と平面上対向するボディ部の領域上に形成される分離電極外ボディコンタクトを含む、
請求項 7 記載の半導体装置。

【請求項 9】 前記ボディ領域は前記ボディコンタクトが形成可能なボディコンタクト可能領域を有し、

前記ゲート電極は前記ボディコンタクト可能領域が露出する開口部を有し、

前記少なくとも 1 つのボディコンタクトは、前記ボディコンタクト可能領域上に形成されるゲート電極内ボディコンタクトをさらに含む、
請求項 8 記載の半導体装置。

【請求項 10】 前記第 1 の半導体領域は複数の第 1 の半導体領域を含み、
前記第 2 の半導体領域は複数の第 2 の半導体領域を含み、

前記ボディ部は前記複数の第 1 及び第 2 の半導体領域が離散分離されるように前記複数の第 1 及び第 2 の半導体領域間に形成される領域を含み、

前記分離電極は前記複数の第 1 及び第 2 の半導体領域を離散分離する前記ボディ部上にさらに形成される、
請求項 8 記載の半導体装置。

【請求項 11】 前記ボディ部は、前記第 1 及び第 2 の半導体領域のゲート幅方向で隣接し、前記ボディ領域からゲート長方向に延びて形成される領域を含み、

前記ゲート電極は、前記第 1 及び第 2 の半導体領域にゲート幅方向で隣接した前記ボディ部上を、前記ボディ領域上から前記ゲート長方向にさらに延びて形成され、

前記少なくとも 1 つのボディコンタクトは、前記ゲート電極を挟んで、前記第 1 及び第 2 の半導体領域と平面上対向する前記ボディ部の前記領域上に形成されるゲート電極外ボディコンタクトを含む、
請求項 7 記載の半導体装置。

【請求項 12】 前記ボディ領域は前記ボディコンタクトが形成可能なボディコンタクト可能領域を有し、

前記ゲート電極はボディコンタクト可能領域が露出する開口部を有し、

前記少なくとも1つのボディコンタクトは、前記ボディコンタクト可能領域上にさらに形成されるゲート電極内ボディコンタクトを含む、

請求項11記載の半導体装置。

【請求項13】 前記少なくとも1つのボディコンタクトは、

前記ゲート電極のゲート幅方向の一端の延長線上に位置する前記ボディ部上に形成される第1のボディコンタクトと、

前記ゲート電極のゲート幅方向の他端の延長線上にある前記ボディ部上に形成される第2のボディコンタクトとを含む、

請求項7記載の半導体装置。

【請求項14】 前記ボディ領域は少なくとも一部が上層部に形成される第1のボディ領域と、下層部に形成される第2のボディ領域とを有し、

前記第2のボディ領域は、前記第1のボディ領域の第2の導電型の不純物濃度よりも高い第2の導電型の不純物濃度を有する、

請求項7記載の半導体装置。

【請求項15】 前記第1の半導体領域は第1の主領域と第1の部分半導体領域とを有し、前記第2の半導体領域は第2の主領域と第2の部分半導体領域とを有し、前記第1及び第2の部分半導体領域はそれぞれ第1及び第2の半導体領域間で対向する上層部の一部領域に形成され、前記第1及び第2の部分半導体領域はそれぞれ第1及び第2の主領域より第1の導電型の不純物濃度が低く設定され、

前記第2のボディ領域は第1及び第2の部分ボディ領域を含み、

前記第1及び第2の部分ボディ領域は、前記第1及び第2の部分半導体領域の一部の下方にそれぞれ前記第1及び第2の主領域と界面を接して形成され、前記第1及び第2の部分ボディ領域を除く前記ボディ領域が前記第1のボディ領域となり、

前記第1のボディ領域は前記第1及び第2の主領域と界面を接することなく形成され、前記第1及び第2の部分半導体領域はそれぞれ前記第1及び第2の部分ボディ領域より前記ゲート電極の中心方向に所定距離延びて形成されることを特

徴とする、

請求項 14 記載の半導体装置。

【請求項 16】 前記第 1 の半導体領域は第 1 の主領域と第 1 の部分半導体領域とを有し、前記第 2 の半導体領域は第 2 の主領域と第 2 の部分半導体領域とを有し、前記第 1 及び第 2 の部分半導体領域はそれぞれ第 1 及び第 2 の半導体領域間で対向する一部分の領域に前記 S O I 層を貫通して形成され、前記第 1 及び第 2 の部分半導体領域はそれぞれ第 1 及び第 2 の主領域より第 1 の導電型の不純物濃度が低く設定される、

請求項 14 記載の半導体装置。

【請求項 17】 前記第 1 の半導体領域は第 1 の主領域と第 1 の部分半導体領域とを有し、前記第 2 の半導体領域は第 2 の主領域と第 2 の部分半導体領域とを有し、前記第 1 及び第 2 の部分半導体領域はそれぞれ第 1 及び第 2 の半導体領域間で対向する一部分の領域に形成され、前記第 1 及び第 2 の部分半導体領域はそれぞれ第 1 及び第 2 の主領域より第 1 の導電型の不純物濃度が低く設定され、

前記第 2 のボディ領域は、前記ボディ領域の下層部の中心領域に前記第 1 及び第 2 の主領域と界面を接することなく形成されることを特徴とする、

請求項 14 記載の半導体装置。

【請求項 18】 ボディ電位を固定しないボディフローティング M O S トランジスタをさらに備え、

前記 S O I 層は第 1 の膜厚の第 1 の領域と前記第 1 の膜厚よりも薄い第 2 の膜厚の第 2 の領域とを有し、

前記 M O S トランジスタは前記第 1 の領域上に形成され、

前記ボディフローティング M O S トランジスタは前記第 2 の領域上に形成される、

請求項 7 記載の半導体装置。

【請求項 19】 請求項 1 あるいは請求項 2 記載の半導体装置の設計方法を実行させるためのプログラムが記録されている、コンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はSOI基板上に形成されたMOSトランジスタを有する半導体装置に関する。

【0002】

【従来の技術】

図20は、本発明の背景となるフィールド分離構造を有する従来の半導体装置M90の断面構造を示す断面斜視図である。この半導体装置は、トランジスタ素子等が作り込まれる半導体基板として、絶縁性基板の上に、膜状に形成された半導体層、すなわちSOI (semiconductor-on-insulator) 層を備えたSOI基板を使用したSOI型の半導体装置として構成されている。

【0003】

図20に示すように、半導体装置M90では、支持基板1と埋込酸化膜2とで構成される絶縁性基板の上にシリコン半導体層がSOI層3として形成されている。このSOI層3は、多数のNMOSトランジスタの形成領域およびPMOSトランジスタの形成領域を含んでいる。そして、これらの素子領域を互いに電氣的に分離するための、平板状のフィールドシールド電極（以後、「FS電極」と略記）5が、SOI層3の各素子領域の境界に形成されている。

【0004】

図20において、FS電極5は、各素子領域において活性領域を規定するように、SOI層3上に所定の間隔を開けて平行に配設されている。そして、FS電極5はフィールドシールド絶縁層4（以後、「FS絶縁層」と略記）によって覆われ、活性領域上から平行する2つのFS絶縁層4の上部に渡るようにゲート電極6が配設されている。なお、ゲート電極6と活性領域との間にはゲート酸化膜10が形成されている。FS絶縁層は酸化物で構成され、このFS絶縁層4によって、FS電極5とゲート電極6との間が、電氣的に絶縁されている。

【0005】

SOI層3内のソース領域及びドレイン領域（図20では図示せず）は、図示

しない絶縁層に設けられたコンタクトホール7を通じて、ドレイン電極及びソース電極（図20では図示せず）と電氣的に接続されており、ゲート電極6はコンタクトホール8を通じてゲート配線（図20では図示せず）に接続されている。

【0006】

またコンタクトホール9を通じて、ボディコンタクト電極（図20では図示せず）がSOI層3に接続されている。なお、図20においては、ボディコンタクト電極に接続されるコンタクトホール9はFS電極5を貫通してSOI層3に接続される構成を示したが、FS電極5の外側にあるSOI層3上にコンタクトホール9を設けるようにしている構成も一般的である。

【0007】

半導体装置M90では、FS電極5にNMOS構造では0V、PMOS構造では電源電圧Vccが印加されることによって、分離領域のSOI層3が遮断状態とされ、その結果、素子領域の間の電氣的な分離が実現する。

【0008】

なお、図20において、ボディ電位固定用のコンタクトホール9を形成せずに、SOI層3におけるボディ部をフローティングにする構造も考えられる。

【0009】

図21はボディ部がフローティング状態のSOI構造のN型のMOSトランジスタの断面構造を示す断面図である。

【0010】

同図に示すように、支持基板1上に埋込酸化膜2が形成され、埋込酸化膜2上にSOI層3が形成される。SOI層3内に選択的にN型のドレイン領域11及びソース領域12が形成され、ドレイン領域11、ソース領域12間にあるボディ領域を含むSOI層3のP型の領域部分がボディ部13として規定される。

【0011】

ドレイン領域11、ソース領域12間のボディ部13上にゲート酸化膜10を介してゲート電極6が形成される。

【0012】

このような構成のSOI構造のMOSトランジスタにおいて、ボディ部13の

電位が固定されない場合、図 22 のように、ドレイン領域 11，ソース領域 12 を流れる信号等の影響を受けてボディ電位 BV が変化し、ボディ電位 BV の変化に伴い MOS トランジスタの動作速度 VC が変化する。ここで、図 22 のボディ電位と動作速度との関係は時間 = 0 を基準とした相対値である。

【0013】

そこで、図 20 で示したボディ電位固定用のコンタクトホール 9 等を設けてボディ部 13 を電位固定する方法が考えられる。図 23 はボディ電位を固定した MOS トランジスタ構造を模式的に示す説明図である。図 23 に示すように、ボディ部 13 はボディ端子 $PB1$ によって電位固定される。

【0014】

また、図 24 に示すように、ゲート電極 6 とボディ部 13 とを短絡し、ボディ端子 $PB2$ によって共通の電位を与えるようにした DT (Dynamic Threshold) MOS 構造にすることも考えられる。

【0015】

【発明が解決しようとする課題】

従来の SOI 構造の MOS トランジスタは、図 23 あるいは図 24 に示すように、ボディ部 13 の電位固定を行うことにより、動作速度が比較的遅い場合は動作速度を安定させることができた。

【0016】

しかしながら、動作周波数が 500MHz 以上のクロックに同期して高速動作を行う場合は、各回路間における信号授受のタイミングに対する要求が非常に厳しくなり、図 23 及び図 24 で示す構造の MOS トランジスタでも、ボディ部 13 がフローティング状態の場合と同様の現象が生じてしまい、安定動作が不可能になる等、動作速度が影響を受けてしまうという問題点があった。

【0017】

この発明は上記問題点を解決するためになされたもので、高速動作時においても動作速度が影響を受けない SOI 構造のトランジスタを有する半導体装置及びその設計方法を得ることを目的とする。

【0018】

【課題を解決するための手段】

この発明に係る請求項1記載の半導体装置の設計方法は、支持基板、埋込酸化膜及びSOI層からなるSOI基板上に形成され、所定のクロックに基づき動作するMOSトランジスタを有する半導体装置を設計する方法であって、前記MOSトランジスタは、前記SOI層内に選択的に形成される第1の導電型の第1の半導体領域と、前記SOI層内に選択的に前記第1の半導体領域と独立して形成される第1の導電型の第2の半導体領域と、前記第1及び第2の半導体領域間の前記SOI層の領域であるボディ領域を含む第2の導電型のボディ部と、前記ボディ領域上にゲート酸化膜を介して形成されるゲート電極と、前記ボディ部に電氣的に接続され、固定電位を受ける少なくとも1つのボディコンタクトとを備え、(a)前記所定のクロックの動作周波数を付与するステップと、(b)前記所定のクロックの動作周波数に基づき前記MOSトランジスタのレイアウトパターンを決定するステップとを備え、前記ステップ(b)は、 C ：前記MOSトランジスタのゲート容量(F) R ：前記少なくとも1つのボディコンタクトから前記ボディ領域に至る固定電位伝達経路の抵抗(Ω) f ：前記所定のクロックの動作周波数(Hz)としたとき、 $f \geq 500\text{MHz}$ の範囲において、条件式1： $R \cdot C \cdot f < 1$ を満足するように前記MOSトランジスタのレイアウトパターンを決定している。

【0019】

この発明に係る請求項2記載の半導体装置の設計方法は、支持基板、埋込酸化膜及びSOI層からなるSOI基板上に形成されるMOSトランジスタを有する半導体装置を設計する方法であって、前記MOSトランジスタは、前記SOI層内に選択的に形成される第1の導電型の第1の半導体領域と、前記SOI層内に選択的に前記第1の半導体領域と独立して形成される第1の導電型の第2の半導体領域と、前記第1及び第2の半導体領域間の前記SOI層の領域であるボディ領域を含む第2の導電型のボディ部と、前記ボディ領域上にゲート酸化膜を介して形成されるゲート電極とを備え、前記ゲート電極は前記ボディ部に電氣的に接続され、前記ボディ部に電氣的に接続され、固定電位を受ける少なくとも1つの

ボディコンタクトをさらに備え、(a)前記MOSトランジスタに要求する信号伝播遅延時間を付与するステップと、(b)前記信号伝播遅延時間に基づき前記MOSトランジスタのレイアウトパターンを決定するステップとを備え、前記ステップ(b)は、 C ：前記MOSトランジスタのゲート容量(F) R ：前記少なくとも1つのボディコンタクトから前記ボディ領域に至る固定電位伝達経路の抵抗(Ω) t_d ：前記MOSトランジスタに要求する信号伝播遅延時間(s)としたとき、 $t_d \leq 50 \text{ ps}$ の範囲において、条件式2： $(R \cdot C) / t_d < 1$ を満足するように前記MOSトランジスタのレイアウトパターンを決定している。

【0020】

請求項3記載の半導体装置は、請求項1記載の半導体装置の設計方法で設計されている。

【0021】

請求項4記載の半導体装置は、請求項2記載の半導体装置の設計方法で設計されている。

【0022】

この発明に係る請求項5記載の半導体装置は、支持基板、埋込酸化膜及びSOI層からなるSOI基板上に形成され、所定のクロックに基づき動作するMOSトランジスタを有しており、前記MOSトランジスタは、前記SOI層内に選択的に形成される第1の導電型の第1の半導体領域と、前記SOI層内に選択的に前記第1の半導体領域と独立して形成される第1の導電型の第2の半導体領域と、前記第1及び第2の半導体領域間の前記SOI層の領域であるボディ領域を含む第2の導電型のボディ部と、前記ボディ領域上にゲート酸化膜を介して形成されるゲート電極と、前記ボディ部に電氣的に接続され、固定電位を受ける少なくとも1つのボディコンタクトとを備え、 C ：前記MOSトランジスタのゲート容量(F) R ：前記少なくとも1つのボディコンタクトから前記ボディ領域に至る固定電位伝達経路の抵抗(Ω) f ：前記所定のクロックの動作周波数(Hz)としたとき、 $f \geq 500 \text{ MHz}$ の範囲において、条件式1： $R \cdot C \cdot f < 1$ を満足している。

【0023】

この発明に係る請求項6記載の半導体装置は、支持基板、埋込酸化膜及びSOI層からなるSOI基板上に形成されるMOSトランジスタを有しており、前記MOSトランジスタは、前記SOI層内に選択的に形成される第1の導電型の第1の半導体領域と、前記SOI層内に選択的に前記第1の半導体領域と独立して形成される第1の導電型の第2の半導体領域と、前記第1及び第2の半導体領域間の前記SOI層の領域であるボディ領域を含む第2の導電型のボディ部と、前記ボディ領域上にゲート酸化膜を介して形成されるゲート電極とを備え、前記ゲート電極は前記ボディ部に電氣的に接続され、前記ボディ部に電氣的に接続され、固定電位を受ける少なくとも1つのボディコンタクトをさらに備え、C：前記MOSトランジスタのゲート容量(F) R：前記少なくとも1つのボディコンタクトから前記ボディ領域に至る固定電位伝達経路の抵抗(Ω) t_d ：前記MOSトランジスタに要求する信号伝播遅延時間(s)としたとき、 $t_d \leq 50 \text{ ps}$ の範囲において、条件式2： $(R \cdot C) / t_d < 1$ を満足している。

【0024】

請求項7記載の半導体装置において、前記固定電位伝達経路の抵抗Rは、W：前記ボディ領域における前記固定電位伝達経路の前記ゲート電極のゲート幅方向の長さL：前記ボディ領域における前記固定電位伝達経路の前記ゲート電極のゲート長方向の長さ、 t_{SOI} ：前記SOI層の膜厚、 ρ ：前記ボディ領域の比抵抗としたとき、 $\{R = (\rho \cdot W) / (L \cdot t_{\text{SOI}})\}$ で決定する。

【0025】

請求項8記載の半導体装置において、前記ボディ部は、前記ボディ領域から延びて、前記第1及び第2の半導体領域の外周部の少なくとも一部に隣接して形成される領域を含み、前記ボディ領域を除き、前記第1及び第2の半導体領域の外周部の少なくとも一部に隣接した前記ボディ部上に絶縁膜を介して形成される分離電極をさらに備え、前記少なくとも1つのボディコンタクトは、前記分離電極を挟んで、前記第1及び第2の半導体領域と平面上対向するボディ部の領域上に形成される分離電極外ボディコンタクトを含んでいる。

【0026】

請求項9記載の半導体装置において、前記ボディ領域は前記ボディコンタクトが形成可能なボディコンタクト可能領域を有し、前記ゲート電極は前記ボディコンタクト可能領域が露出する開口部を有し、前記少なくとも1つのボディコンタクトは、前記ボディコンタクト可能領域上に形成されるゲート電極内ボディコンタクトをさらに含んでいる。

【0027】

請求項10記載の半導体装置において、前記第1の半導体領域は複数の第1の半導体領域を含み、前記第2の半導体領域は複数の第2の半導体領域を含み、前記ボディ部は前記複数の第1及び第2の半導体領域が離散分離されるように前記複数の第1及び第2の半導体領域間に形成される領域を含み、前記分離電極は前記複数の第1及び第2の半導体領域を離散分離する前記ボディ部上にさらに形成されている。

【0028】

請求項11記載の半導体装置において、前記ボディ部は、前記第1及び第2の半導体領域のゲート幅方向で隣接し、前記ボディ領域からゲート長方向に延びて形成される領域を含み、前記ゲート電極は、前記第1及び第2の半導体領域にゲート幅方向で隣接した前記ボディ部上を、前記ボディ領域上から前記ゲート長方向にさらに延びて形成され、前記少なくとも1つのボディコンタクトは、前記ゲート電極を挟んで、前記第1及び第2の半導体領域のと平面上対向する前記ボディ部の領域上に形成されるゲート電極外ボディコンタクトを含んでいる。

【0029】

請求項12記載の半導体装置において、前記ボディ領域は前記ボディコンタクトが形成可能なボディコンタクト可能領域を有し、前記ゲート電極はボディコンタクト可能領域が露出する開口部を有し、前記少なくとも1つのボディコンタクトは、前記ボディコンタクト可能領域上にさらに形成されるゲート電極内ボディコンタクトを含んでいる。

【0030】

請求項13記載の半導体装置において、前記少なくとも1つのボディコンタク

トは、前記ゲート電極のゲート幅方向の一端の延長線上に位置する前記ボディ部に形成される第1のボディコンタクトと、前記ゲート電極のゲート幅方向の他端の延長線上にある前記ボディ部に形成される第2のボディコンタクトとを含んでいる。

【0031】

請求項14記載の半導体装置において、前記ボディ領域は少なくとも一部が上層部に形成される第1のボディ領域と、下層部に形成される第2のボディ領域とを有し、前記第2のボディ領域は、前記第1のボディ領域の第2の導電型の不純物濃度よりも高い第2の導電型の不純物濃度を有している。

【0032】

請求項15記載の半導体装置において、前記第1の半導体領域は第1の主領域と第1の部分半導体領域とを有し、前記第2の半導体領域は第2の主領域と第2の部分半導体領域とを有し、前記第1及び第2の部分半導体領域はそれぞれ第1及び第2の半導体領域間で対向する上層部の一部領域に形成され、前記第1及び第2の部分半導体領域はそれぞれ第1及び第2の主領域より第1の導電型の不純物濃度が低く設定され、前記第2のボディ領域は第1及び第2の部分ボディ領域を含み、前記第1及び第2の部分ボディ領域は、前記第1及び第2の部分半導体領域の一部の下方にそれぞれ前記第1及び第2の主領域と界面を接して形成され、前記第1及び第2の部分ボディ領域を除く前記ボディ領域が前記第1のボディ領域となり、前記第1のボディ領域は前記第1及び第2の主領域と界面を接することなく形成され、前記第1及び第2の部分半導体領域はそれぞれ前記第1及び第2の部分ボディ領域より前記ゲート電極の中心方向に所定距離延びて形成されている。

【0033】

請求項16記載の半導体装置において、前記第1の半導体領域は第1の主領域と第1の部分半導体領域とを有し、前記第2の半導体領域は第2の主領域と第2の部分半導体領域とを有し、前記第1及び第2の部分半導体領域はそれぞれ第1及び第2の半導体領域間で対向する一部分の領域に前記SOI層を貫通して形成され、前記第1及び第2の部分半導体領域はそれぞれ第1及び第2の主領域より

第1の導電型の不純物濃度が低く設定されている。

【0034】

請求項17記載の半導体装置において、前記第1の半導体領域は第1の主領域と第1の部分半導体領域とを有し、前記第2の半導体領域は第2の主領域と第2の部分半導体領域とを有し、前記第1及び第2の部分半導体領域はそれぞれ第1及び第2の半導体領域間で対向する一部分の領域に形成され、前記第1及び第2の半導体領域はそれぞれ第1及び第2の主領域より第1の導電型の不純物濃度が低く設定され、前記第2のボディ領域は、前記ボディ領域の下層部の中心領域に前記第1及び第2の主領域と界面を接することなく形成されている。

【0035】

請求項18記載の半導体装置において、ボディ電位を固定しないボディフローティングMOSトランジスタをさらに備え、前記SOI層は第1の膜厚の第1の領域と前記第1の膜厚よりも薄い第2の膜厚の第2の領域とを有し、前記MOSトランジスタは前記第1の領域上に形成され、前記ボディフローティングMOSトランジスタは前記第2の領域上に形成されている。

【0036】

この発明における請求項19記載の記録媒体は、請求項1あるいは請求項2記載の半導体装置の設計方法を実行させるためのプログラムが記録されている。

【0037】

【発明の実施の形態】

＜実施の形態1＞

図1はこの発明の実施の形態1である半導体装置の設計方法で設計された、FS分離によるSOI構造のNMOSトランジスタの平面構成を示す平面図である。また、図2は図1のA-A断面を示す断面図である。これらの図に示すように、N型のドレイン領域11、ソース領域12の周辺隣接領域にあるボディ部13上にFS絶縁層4を介してFS電極5が形成される。ここで、ボディ部13はドレイン領域11、ソース領域12間のボディ領域14とボディ領域14から延びて形成されるP型の領域を意味する。

【0038】

ボディ領域 14 上及び F S 電極 5 の一部上にゲート電極 6 が形成される。ゲート電極 6 はボディ領域 14 上においてはゲート酸化膜 10 を介して形成され、F S 電極 5 の一部上においては F S 絶縁層 4 を介して形成される。また、図 1 及び図 2 では図示していないが、ボディコンタクトは F S 電極 5 に対して平面上外周に位置するボディ部 13 上に形成される。

【0039】

このような構造によって、ドレイン領域 11，ソース領域 12 及びゲート長 L，ゲート幅 W のゲート電極 6 からなる MOS トランジスタが形成される。

【0040】

このような構造の F S 分離による MOS トランジスタは、F S 電極 5 による分離機能が働いている期間は、ボディ領域 14 を除くドレイン領域 11，ソース領域 12 の外周部のボディ部 13 からボディ電位がドレイン領域 11，ソース領域 12 に直接伝達されることはない。

【0041】

このような構造の MOS トランジスタにおいて、ゲート酸化膜厚 t_{ox} 、ゲート長 L 及びゲート幅 W のゲート容量 C は下記に示す式 1 で決定する。

【0042】

【数 1】

$$C = K_0 \epsilon_0 \frac{L \cdot W}{t_{ox}} \quad \text{--- (1)}$$

【0043】

一方、ボディコンタクト 16 からボディ領域 14 に至る固定電位伝達経路の抵抗に相当するボディ部 13 のボディ抵抗 R は、実質的にはゲート電極 6 下の A-A 方向におけるボディ領域 14 の抵抗によって決定する。なぜなら、ボディ部 13 のボディ領域 14 以外の領域はゲート長 L に比べて十分大きい幅の固定電位伝達経路となっているため、その抵抗はボディ領域 14 の抵抗に比べて無視できるレベルであるからである。

【0044】

したがって、 ε_0 ：真空の誘電率、 K_0 ：ゲート酸化膜10の比誘電率、 ρ ：ボディ領域14の比抵抗、 t_{SOI} ：SOI層3の膜厚 t_{SOI} とすると、下記に示す式2でボディ抵抗Rは決定する。

【0045】

【数2】

$$R = \rho \cdot \frac{W}{L \cdot t_{SOI}} \quad \text{---- (2)}$$

【0046】

ただし、正確に言えば、式2におけるゲート長Lはボディ領域14における固定電位伝達経路のゲート電極6のゲート長方向の長さ、式2におけるゲート幅Wはボディ領域14における固定電位伝達経路のゲート電極6のゲート幅方向の長さとなる。ここでは、ボディ領域14における固定電位伝達経路のゲート幅方向の長さはゲート電極6のゲート幅Wとほぼ等しく、ゲート長方向の長さはゲート電極6のゲート長Lとほぼ等しい場合を想定して式2を決定している。

【0047】

式1、式2で決定するゲート容量C (F)、ボディ抵抗R (Ω) を有するMOSトランジスタが動作するクロックの動作周波数f (Hz) に基づくシミュレーション結果によって、クロックの動作周波数fが500MHz以上の高速動作が要求される場合でも下記の式3に示す条件を満足すれば、MOSトランジスタが安定に動作することを見いだした。

【0048】

【数3】

$$R \cdot C \cdot f < 1 \quad \text{---- (3)}$$

【0049】

式3に式1、式2を適用することにより、式3は下記の式4に変形することができる。

【0050】

【数4】

$$R \cdot C \cdot f = \rho \cdot K_0 \cdot \epsilon_0 \cdot \frac{W^2}{t_{ox} \cdot t_{SOI}} \cdot f < 1 \text{ ---- (4)}$$

【0051】

したがって、クロックの動作周波数 f が決定している時、式4を満足するゲート幅 W 、ゲート酸化膜厚 t_{ox} 及び SOI 層膜厚 t_{SOI} を有する SOI 構造の MO S トランジスタから構成される回路は高速動作時においても安定動作が可能となる。

【0052】

例えば、 $\rho = 0.08 (\Omega \cdot cm)$ 、 $K_0 = 3.9$ 、 $\epsilon_0 = 8.86 \times 10^{-14} (F/cm)$ 、 $f = 10 (GHz)$ のとき、下記の式5に示す条件をゲート幅 W 、ゲート酸化膜厚 t_{ox} 及び SOI 層膜厚 t_{SOI} が満足すればよい。

【0053】

【数5】

$$\frac{W^2}{t_{ox} \cdot t_{SOI}} < \frac{1}{\rho \cdot K_0 \cdot \epsilon_0 \cdot f} = 3.6 \times 10^3 \text{ ---- (5)}$$

【0054】

このとき、ゲート酸化膜厚 $t_{ox} = 0.007 (\mu m)$ 、 SOI 層膜厚 $t_{SOI} = 0.1 (\mu m)$ とすると、 $\{W^2 < 2.52\}$ 、すなわち、 $\{W < 1.59 (\mu m)\}$ となる制約条件1を満足すればよい。

【0055】

ただし、図3に示すようにゲート幅 W 方向におけるゲート電極6の両側のボディ部13上にそれぞれボディコンタクト16A、16Bを設けた場合、ボディコンタクト16A側とボディコンタクト16B側とでボディ領域14における固定電位伝達経路が2分割されるため、ゲート幅 $W/2$ の2つのボディ領域それぞれにおいて式1～式4を適用することができる。したがって、 $\{(W/2) < 1.$

59 (μm)}となる制約条件2を満足すればよく、最大許容のゲート幅 W を制約条件1の場合の2倍にすることができる。

【0056】

図4はこの発明の実施の形態1である半導体装置の設計方法の処理手順を示すフローチャートである。

【0057】

同図を参照して、まずステップS1で、クロックの動作周波数 f ($\geq 500\text{MHz}$)を設定する。そして、ステップS2で、ゲート酸化膜厚 t_{OX} 及びSOI層膜厚 t_{SOI} 等のゲート幅 W 以外のパラメータを決定する。

【0058】

続いて、ステップS3で、式4を適用して $R \cdot C \cdot f < 1$ を満足する最大許容ゲート幅 W_{MAX} を求める。

【0059】

そして、ステップS4で、最大許容ゲート幅 W_{MAX} を満足したMOSトランジスタを含むレイアウトパターンを生成して半導体装置を設計する。

【0060】

このように、実施の形態1の半導体装置の設計方法は、 $\{R \cdot C \cdot f < 1\}$ を利用して装置設計を行っているため、設計者は、試行錯誤によらず、客観的認識のみに基づいて、装置が動作すべき周波数に対して確実に安定動作させることのできる半導体装置を常に得ることができる。すなわち、 $\{R \cdot C \cdot f < 1\}$ によって、所定の周波数に対して安定動作が可能な最大許容ゲート幅 W_{MAX} を正確に認識することができるという効果を奏する。

【0061】

なお、図4で示したフローチャートではゲート幅 W を最終的な許容値（最大許容ゲート幅 W_{MAX} ）を求めるパラメータにしたが、 $\{R \cdot C \cdot f < 1\}$ を満足するパラメータであれば、いずれも許容値を求めるパラメータにすることができ、さらに、2つ以上のパラメータの組み合わせの許容値等にも適用できるのは勿論である。

【0062】

図5は、実施の形態1の半導体装置の設計方法を自動的に実行するレイアウトパターン生成装置を示すブロック図である。同図に示すように、レイアウトパターン生成装置100は回路データD1及び設定用パラメータD2を受ける。なお、設定用パラメータD2は、クロックの動作周波数 f と、ゲート酸化膜厚 t_{OX} 及びSOI層膜厚 t_{SOI} 等のゲート幅 W 以外のパラメータとを意味する。

【0063】

レイアウトパターン生成装置100は、内部の記録媒体101に記録されたレイアウトパターン生成プログラムを実行可能なコンピュータとしての機能を有している。レイアウトパターン生成プログラムは、実施の形態1の場合、図4のステップS1、S2と同様に設定すべきクロックの動作周波数 f 、ゲート幅 W 以外のパラメータを付与するステップと、図4のステップS3及びS4と同じ処理を行うステップとを記録したプログラムとなる。

【0064】

したがって、レイアウトパターン生成装置100は、付与された回路データD1及び設定用パラメータD2に基づき、 $\{R \cdot C \cdot f < 1\}$ を満足するMOSトランジスタを含むレイアウトパターンデータD3を自動生成することができる。なお、記録媒体101としては例えば、フロッピーディスク、CD-ROM、ハードディスク等が考えられる。

【0065】

なお、実施の形態1ではFS分離構造のMOSトランジスタの設計方法について説明したが、図6に示すようなH型ゲート構造の設計方法にも適用することができる。Hゲート電極26の左右の“I”によって、ドレイン領域11及びソース領域12にゲート幅 W 方向に隣接して形成されるボディ部23とドレイン領域11及びソース領域12とを電氣的に分離し、中央の“-”が本来のMOSトランジスタのゲート電極として機能する。

【0066】

したがって、Hゲート電極26を介してドレイン領域11及びソース領域12と対向する位置のボディ部23上にボディコンタクト16を形成した場合でも、

ボディコンタクト 16 から得られるボディ電位がドレイン領域 11, ソース領域 12 に直接伝達されることはない。

【0067】

このように、実施の形態 1 の SOI 構造の MOS トランジスタは、ボディ電位固定に際し、ゲート幅 W 、ゲート酸化膜厚 t_{ox} 及び SOI 層膜厚 t_{SOI} が式 3 (式 4) を満足するように設計しているため、高速動作時においても動作速度が変動しない安定動作が可能な半導体装置を得ることができる。

【0068】

この際、式 3 を満足する範囲で最大のゲート幅 W を設定することより、安定した動作が可能な範囲で最高の速度で動作する SOI 構造の MOS トランジスタを得ることができる。

【0069】

なお、式 3 のクロックの動作周波数 f とは、実施の形態 1 の SOI 構造の MOS トランジスタが CPU, DSP, 通信用チップ等の同期型ロジック回路に用いられる場合は動作周波数、クロック周波数、発振周波数等を意味し、DRAM, SRAM 等の半導体記憶装置に用いられる場合は動作周波数、クロック周波数、アクセス時間の逆数等を意味する。

【0070】

<実施の形態 2>

実施の形態 1 と同様にして、式 1、式 2 で決定するゲート容量 C (F)、ボディ抵抗 R (Ω) を有する DT MOS トランジスタ 1 単位に要求する信号伝播遅延時間 t_{pd} (s) に基づくシミュレーション結果によって、信号伝播遅延時間 t_{pd} が 50 ps 以下の高速動作時においても下記の式 6 に示す条件を満足すれば、DT MOS トランジスタが安定に動作することを見いだした。

【0071】

【数 6】

$$\frac{R \cdot C}{t_{pd}} < 1 \text{ --- (6)}$$

【0072】

例えば、 $\rho = 0.08 (\Omega \cdot \text{cm})$ 、 $K_0 = 3.9$ 、 $\epsilon_0 = 8.86 \times 10^{-14} (\text{F/cm})$ 、 $t_{\text{pd}} = 50 (\text{ps})$ のとき、下記の式7に示す条件をゲート幅 W 、ゲート酸化膜厚 t_{OX} 及び SOI 層膜厚 t_{SOI} が満足すればよい。

【0073】

【数7】

$$\frac{W^2}{t_{\text{OX}} \cdot t_{\text{SOI}}} < \frac{t_{\text{pd}}}{\rho \cdot K_0 \cdot \epsilon_0} = 1.8 \times 10^3 \text{ --- (7)}$$

【0074】

このとき、ゲート酸化膜厚 $t_{\text{OX}} = 0.007 (\mu\text{m})$ 、SOI 層膜厚 $t_{\text{SOI}} = 0.1 (\mu\text{m})$ とすると、 $\{W^2 < 1.26\}$ 、すなわち、 $\{W < 1.12 (\mu\text{m})\}$ となる制約条件3を満足すればよい。

【0075】

ただし、ボディ部のゲート幅 W 方向におけるゲート電極の両側のボディ部でゲート電極とボディ部とを短絡させた場合、実施の形態1と同様、ボディ領域14における固定電位伝達経路は2分割されるため、 $\{(W/2) < 1.12 (\mu\text{m})\}$ となる制約条件4を満足すればよく、最大許容のゲート幅 W を制約条件3の場合の2倍にすることができる。

【0076】

なお、実施の形態2のDTMOSはゲート電極6とボディ部を短絡する以外は図1及び図2で示したものと同様の構造を呈しており、図6に示すようなH型ゲート構造にも適用することができる。

【0077】

図7は実施の形態2の半導体装置の設計方法の処理手順を示すフローチャートである。

【0078】

同図を参照して、まずステップS11で、DTMOSトランジスタ1単位に要求する信号伝播遅延時間 $t_{\text{pd}} (\leq 50 \text{ ps})$ を設定する。そして、ステップS1

2で、ゲート酸化膜厚 t_{OX} 及びSOI層膜厚 t_{SOI} 等のゲート幅 W 以外のパラメータを決定する。

【0079】

続いて、ステップS13で、式7を適用して $(R \cdot C) / t_{pd} < 1$ を満足する最大許容ゲート幅 W_{MAX} を求める。

【0080】

そして、ステップS14で、最大許容ゲート幅 W_{MAX} を満足したDTMOSトランジスタを含むレイアウトパターンを生成して半導体装置を設計する。

【0081】

このように、実施の形態2の半導体装置の設計方法は、 $\{(R \cdot C) / t_{pd} < 1\}$ を利用して装置設計を行っているため、設計者は、試行錯誤によらず、客観的認識のみに基づいて、要求される信号伝播遅延時間に対して確実に安定動作させることのできる半導体装置を常に得ることができる。すなわち、 $\{(R \cdot C) / t_{pd} < 1\}$ によって、所定の信号伝播遅延時間に対して安定動作が可能な最大許容ゲート幅 W_{MAX} を正確に認識することができるという効果を奏する。

【0082】

このように、実施の形態2のSOI構造のDTMOSトランジスタは、ボディ電位固定に際し、ゲート幅 W 、ゲート酸化膜厚 t_{OX} 及びSOI層膜厚 t_{SOI} が式6（式7）を満足するように設計しているため、高速動作時においても動作速度が変動しない安定動作が可能な半導体装置を得ることができる。

【0083】

なお、図7で示したフローチャートではゲート幅 W を最終的な許容値（最大許容ゲート幅 W_{MAX} ）を求めるパラメータにしたが、 $\{R \cdot C \cdot f < 1\}$ を満足するパラメータであれば、いずれも許容値を求めるパラメータにすることができ、さらに、2つ以上のパラメータの組み合わせの許容値等にも適用できるのは勿論である。

【0084】

この際、式6を満足する範囲で最大のゲート幅 W を設定することより、要求される信号伝播遅延時間 t_{pd} が50ps以下の高速動作時にも安定した動作が可能

な範囲で最高の速度で動作するSOI構造のDTMOSトランジスタを得ることができる。

【0085】

実施の形態2においても、実施の形態1と同様、図5で示すレイアウトパターン生成装置によるレイアウトパターンデータD3の自動生成が可能である。ただし、実施の形態2における設定用パラメータD2は、信号伝播遅延時間 t_{pd} と、ゲート酸化膜厚 t_{ox} 及びSOI層膜厚 t_{SOI} 等のゲート幅W以外のパラメータとを意味する。

【0086】

実施の形態2において記録媒体101に記録されるレイアウトパターン生成プログラムは、図6のステップS11、S12と同様に設定すべき信号伝播遅延時間 t_{pd} 、ゲート幅W以外のパラメータを付与するステップと、図7のステップS13及びS14と同じステップとを記録したプログラムとなる。

【0087】

したがって、レイアウトパターン生成装置100は、付与された回路データD1及び設定用パラメータD2に基づき、 $\{(R \cdot C) / t_{pd} < 1\}$ を満足するDTMOSトランジスタを含むレイアウトパターンデータD3を自動生成することができる。

【0088】

<実施の形態3>

実施の形態1及び実施の形態2それぞれにおいて、ボディ電位を固定して安定動作が可能なSOI構造の(DT)MOSトランジスタにおけるゲート幅W、ゲート酸化膜厚 t_{ox} 及びSOI層膜厚 t_{SOI} の制約条件を示したが、ゲート幅Wをより大きく設定可能にするため、式3あるいは式6の他のパラメータの改善を図り、構造的な工夫を加えたのが実施の形態3以降の実施の形態である。

【0089】

図8及び図9はそれぞれこの発明の実施の形態3であるSOI構造のMOSトランジスタの断面構造を示す断面図である。なお、図8は図1で示した平面構造のA-A断面に相当し、図9はB-B断面に相当する。

【0090】

図9に示すように、SOI層3を貫通してド레인領域11及びソース領域12が選択的に形成される。そして、ド레인領域11、ソース領域12間上にゲート酸化膜10を介してゲート電極6が形成され、ゲート電極6の側面にサイドウォール15が形成される。

【0091】

ド레인領域11において、サイドウォール15下方に位置しSOI層3の上部に形成される部分ド레인領域11AのN型不純物濃度(N^-)は低濃度に、それ以外の領域のN型不純物濃度(N^+)は高濃度に設定されている。同様に、ソース領域12において、サイドウォール15下方に位置しSOI層3の上部に形成される部分ソース領域12AのN型不純物濃度(N^-)は低濃度であり、それ以外の領域のN型不純物濃度(N^+)は高濃度に設定されている。

【0092】

一方、ゲート電極6下方のSOI層3において、上層部のボディ領域14AのP型不純物濃度(P^-)は低濃度に設定され、下層部のボディ領域14BのP型不純物濃度(P^0)はボディ領域14Aより高濃度に設定される。

【0093】

このように、サイドウォール15下方に位置しSOI層3の下層領域に形成されるボディ領域14Bの不純物濃度を、ボディ領域14Aの不純物濃度(通常のボディ領域14に用いる不純物濃度)より高く設定することにより、式2のボディ部13の比抵抗 ρ を低下させることができる。

【0094】

図10のグラフに示すように、ボディ領域14Aの不純物濃度の10倍の不純物濃度でボディ領域14Bを形成すれば、ボディ領域14Bの比抵抗はボディ領域14Aの $1/10$ となる。この際、ボディ部13の比抵抗は、ボディ領域14Aの比抵抗は無視できるためボディ領域14Bの比抵抗 ρ_{p0} で決定する。ただし、SOI層膜厚 t_{SOI} に置き換えて、ボディ領域14Bの膜厚 t_{p0} を採用する必要がある。

【0095】

したがって、実施の形態1の式5は下記の式8に変形することができる。

【0096】

【数8】

$$\frac{W^2}{t_{ox} \cdot t_{p0}} < \frac{1}{\rho_{p0} \cdot K_0 \cdot \epsilon_0 \cdot f} \quad \text{--- (8)}$$

【0097】

例えば、ボディ領域14Bの比抵抗 $\rho_{p0} = 0.008 (\Omega \cdot \text{cm})$ 、ボディ領域14Bの膜厚 $t_{p0} = 0.02 (\mu\text{m})$ で、他の条件が実施の形態1と同様、 $K_0 = 3.9$ 、 $\epsilon_0 = 8.86 \times 10^{-14} (\text{F/cm})$ 、 $f = 10 (\text{GHz})$ 、ゲート酸化膜厚 $t_{ox} = 0.007 (\mu\text{m})$ の場合、 $\{W^2 < 5.0\}$ 、すなわち、 $\{W < 2.23 (\mu\text{m})\}$ となる制約条件5を満足すればよい。

【0098】

制約条件1と制約条件5との比較から、実施の形態3の構造は実施の形態1の構造に比べて、最大実現可能なゲート幅Wを1.4倍程度広く形成できることがわかる。

【0099】

なお、ボディ領域14Aの膜厚 t_{CH} （ボディ領域14Bの表面の形成深さ）は、MOSトランジスタのチャネル濃度（ボディ領域14Aの濃度）で決まる最大空乏層幅 X_{dmax} より大きくすれば、MOSトランジスタの電流特性に影響を与えることはない。

【0100】

したがって、 $t_{CH} > X_{dmax}$ を満足するようにボディ領域14Aを形成すればよい。なお、 K_s ：シリコンの比誘電率、 N_A ：ボディ領域14Aの不純物濃度、 $\phi_s(\text{inv})$ ：チャネル形成時のエネルギーポテンシャルとすると、最大空乏層幅 X_{dmax} は下記の式9で決定する。

【0101】

【数9】

$$x_{dmax} = \sqrt{\frac{2 \cdot K_s \cdot \epsilon_0 \cdot \phi_s (inv)}{q N_A}} \text{ ---- (9)}$$

【0102】

実施の形態3の構造を実施の形態2のDTMOSを構造に適用した場合、実施の形態2の式7は下記の数G10に変形することができ、実施の形態1に適用した場合と同様に、最大実現可能なゲート幅Wを広くすることができる。

【0103】

【数10】

$$\frac{W^2}{t_{ox} \cdot t_{p0}} < \frac{t_{pd}}{\rho_{p0} \cdot K_0 \cdot \epsilon_0} \text{ ---- (10)}$$

【0104】

図8及び図9で示した実施の形態3の構造の製造方法について述べる。まず、FS絶縁層4、FS電極5及びゲート電極6形成前の段階において、SOI層3の下層部にP型不純物を注入し、不純物濃度が P^0 半導体領域を形成する。その後、既存の方法でFS絶縁層4、FS電極5、ゲート電極6、ドレイン領域11、ソース領域12及びサイドウォール15を形成することにより実施の形態3の構造を得る。

【0105】

なお、P型不純物の注入時にSOI層3の下層部に形成された不純物濃度 P^0 の半導体領域は、SOI層3を貫通するドレイン領域11及びソース領域12の形成時に、ドレイン領域11、ソース領域12以外の領域のみ残存し、残存した領域がボディ領域14Bとなる。

【0106】

<実施の形態4>

図11はこの発明の実施の形態4であるSOI構造のMOSトランジスタの断

面構造を示す断面図である。なお、図 11 は図 1 で示した平面構造の B-B 断面に相当する。

【0107】

図 11 に示すように、ゲート電極 6 の側面にサイドウォール 15 が形成される。ドレイン領域 11 において、サイドウォール 15 全体及びゲート電極 6 の一部下方に位置し、SOI 層 3 の上層部に形成される部分ドレイン領域 11B の N 型不純物濃度 (N^-) は低濃度にそれ以外の領域の N 型不純物濃度 (N^+) は高濃度に設定されている。同様に、ソース領域 12 において、サイドウォール 15 全体及びゲート電極 6 の一部下方に位置し SOI 層 3 の上層部に形成される部分ソース領域 12B の N 型不純物濃度 (N^-) は低濃度であり、それ以外の領域の N 型不純物濃度 (N^+) は高濃度に設定されている。

【0108】

一方、ゲート電極 6 (サイドウォール 15) 下方の SOI 層 3 において、サイドウォール 15 の下方に位置する領域がボディ領域 14D となり、ゲート電極 6 下方に位置する領域がボディ領域 14C となる。ボディ領域 14C の P 型不純物濃度 (P^-) は低濃度に設定され、ボディ領域 14D の P 型不純物濃度 (P^0) はボディ領域 14C より高濃度に設定される。したがって、ドレイン領域 11 及びソース領域 12 の N^+ 領域との PN 接合面はすべてボディ領域 14D とによって形成される。

【0109】

部分ドレイン領域 11B 及び部分ソース領域 12B は、サイドウォール 15 の下方に加え、ゲート電極 6 の一部の下方向にも形成される分、ボディ領域 14D よりゲート電極 6 の中心方向に長さ d1 延びて形成される。

【0110】

なお、FS 絶縁層 4、FS 電極 5、ゲート電極 6 及びサイドウォール 15 の構成は、図 8 及び図 9 で示した実施の形態 3 の構造と同様である。

【0111】

このように、サイドウォール 15 下方に位置し SOI 層 3 の下層部に形成されるボディ領域 14D の不純物濃度をボディ領域 14C の不純物濃度 (通常のボデ

ィ領域 14 に用いる不純物濃度) より高く設定することにより、式 2 のボディ部 13 の比抵抗 ρ を低下させることができる。

【0112】

その結果、実施の形態 4 の構造は、実施の形態 3 と同様、実施の形態 1 の構造に比べて最大実現可能なゲート幅 W を広くすることができる。

【0113】

また、ドレイン領域 11 及びソース領域 12 の N^+ 領域との PN 接合面はすべてボディ領域 14 D とによって形成されるため、ドレイン領域 11 あるいはソース領域 12 の N^+ 領域からの空乏層の伸びを抑えることができ、パンチスルーに強い構造が実現する。

【0114】

また、部分ドレイン領域 11 B 及び部分ソース領域 12 B は、ボディ領域 14 D よりゲート電極 6 の中心方向に長さ d_1 延びて形成されるため、ボディ領域 14 D の比較的高い不純物濃度 P^0 がチャネル形成時の MOS トランジスタの電流特性に悪影響を与えることもない。

【0115】

図 11 で示した実施の形態 4 の構造の製造方法を説明する。まず、ゲート電極 6 形成後サイドウォール 15 形成前の段階において、図 12 に示すように、不純物濃度が P^- の SOI 層 3 に対しゲート電極 6 をマスクとして、P 型不純物イオン 31 を垂直に注入（例えば、ドーズ量 $5 \times 10^{13} / \text{cm}^2$ のボロンを 30 KeV の注入エネルギーでイオン注入）して P^0 型の半導体領域 24, 25 を形成するとともに、N 型不純物イオン 32 を斜め回転注入して N^- 型の中途ドレイン領域 21 及び中途ソース領域 22 を形成する。中途ドレイン領域 21 及び中途ソース領域 22 は N 型不純物イオン 32 を斜め回転注入する分、半導体領域 24 及び 25 に比べてゲート電極 6 の中心方向に延びて形成される。

【0116】

そして、サイドウォール 15 形成後に、ゲート電極 6 及びサイドウォール 15 をマスクとして再び N 型の不純物を注入することにより、図 11 で示した構造を得る。

【0117】

なお、P型不純物の注入時にSOI層3の下層部に形成された不純物濃度 P^0 の半導体領域24、25は、SOI層3を貫通するドレイン領域11及びソース領域12の形成時に、ドレイン領域11、ソース領域12以外の領域のみ残存し、残存した領域がボディ領域14Dとなる。

【0118】

＜実施の形態5＞

図13はこの発明の実施の形態5であるSOI構造のMOSトランジスタの断面構造を示す断面図である。なお、図13は図1で示した平面構造のB-B断面に相当する。

【0119】

図13に示すように、ゲート電極6の側面にサイドウォール15が形成される。ドレイン領域11において、サイドウォール15下方に位置しSOI層3を貫通して形成される部分ドレイン領域11CのN型不純物濃度(N^-)は低濃度にそれ以外の領域のN型不純物濃度(N^+)は高濃度に設定されている。同様に、ソース領域12において、サイドウォール15下方に位置しSOI層3を貫通する部分ソース領域12CのN型不純物濃度(N^-)は低濃度であり、それ以外の領域のN型不純物濃度(N^+)は高濃度に設定されている。

【0120】

一方、ゲート電極6下方のSOI層3において、上層部のボディ領域14EのP型不純物濃度(P^-)は低濃度に設定され、下層部のボディ領域14FのP型不純物濃度(P^0)はボディ領域14Eより高濃度に設定される。

【0121】

なお、FS絶縁層4、FS電極5、ゲート電極6及びサイドウォール15の構成は、図8及び図9で示した実施の形態3の構造と同様である。

【0122】

このように、ゲート電極6下方に位置しSOI層3の下層部に形成されるボディ領域14Fを上層部に形成されるボディ領域14Eより高い不純物濃度に設定することにより、式2におけるボディ部13の比抵抗 ρ を低下させることができ

る。その結果、実施の形態 5 の構造は実施の形態 1 の構造に比べて、最大実現可能なゲート幅 W を広げることができる。

【0123】

また、部分ドレイン領域 11C 及び部分ソース領域 12C を SOI 層 3 を貫通して形成することにより、ドレイン領域 11 及びソース領域 12 の N^+ 領域とボディ領域 14F の P^0 領域とによる PN 接合面が全く形成されないため、ジャンクションリークを抑制することができる。

【0124】

図 13 で示した実施の形態 5 の構造の製造方法について述べる。まず、ゲート電極 6 形成前の段階において、SOI 層 3 の下層部に P 型不純物を注入して、不純物濃度 P^0 の半導体領域を形成する。

【0125】

そして、ゲート電極 6 形成後サイドウォール 15 形成前の段階において、不純物濃度 P^- の SOI 層 3 に対しゲート電極 6 をマスクとして、N 型不純物を斜め回転イオン注入して N^- 型の中途ドレイン領域及び中途ソース領域を形成する。この際、注入エネルギーを実施の形態 4 の製造時よりも強くして SOI 層 3 を貫通するように中途ドレイン領域及び中途ソース領域を形成するとともに、イオン注入時の斜め回転角度を実施の形態 4 の製造時よりも垂直方向に変更する。

【0126】

したがって、P 型不純物の注入時に SOI 層 3 の下層部に形成された不純物濃度 P^0 の半導体領域のうち、中途ドレイン領域、中途ソース領域以外の領域のみ残存し、残存した領域がボディ領域 14B となる。

【0127】

そして、サイドウォール 15 形成後に、ゲート電極 6 及びサイドウォール 15 をマスクとして再び N 型の不純物を注入することにより、図 13 で示した構造を得る。

【0128】

<実施の形態 6>

図 14 はこの発明の実施の形態 6 である SOI 構造の MOS トランジスタの断

面構造を示す断面図である。なお、図 14 は図 1 で示した平面構造の B-B 断面に相当する。

【0129】

図 14 に示すように、ゲート電極 6 の側面にサイドウォール 15 が形成される。ドレイン領域 11 において、サイドウォール 15 下方に位置し SOI 層 3 の上層部に形成される部分ドレイン領域 11A の N 型不純物濃度 (N^-) は低濃度に、それ以外の領域の N 型不純物濃度 (N^+) は高濃度に設定されている。同様に、ソース領域 12 において、サイドウォール 15 下方に位置し SOI 層 3 の上層部に形成される部分ソース領域 12A の N 型不純物濃度 (N^-) は低濃度であり、それ以外の領域の N 型不純物濃度 (N^+) は高濃度に設定されている。

【0130】

一方、ゲート電極 6 (サイドウォール 15) 下方の SOI 層 3 において、ゲート電極 6 の直下に位置し SOI 層 3 の下層部に形成される領域がボディ領域 14H となり、それ以外の領域がボディ領域 14G となる。ボディ領域 14G の P 型不純物濃度 (P^-) は低濃度に設定され、ボディ領域 14H の P 型不純物濃度 (P^0) はボディ領域 14G より高濃度に設定される。

【0131】

なお、FS 絶縁層 4、FS 電極 5、ゲート電極 6 及びサイドウォール 15 の構成は、図 8 及び図 9 で示した実施の形態 3 の構造と同様である。

【0132】

このように、ゲート電極 6 の直下に位置し SOI 層 3 の下層部に形成されるボディ領域 14H をボディ領域 14G より高い不純物濃度に設定することにより、式 2 にけるボディ部 13 の比抵抗 ρ を低下させることができる。その結果、実施の形態 6 の構造は実施の形態 1 の構造に比べて、最大実現可能なゲート幅 W を広げることができる。

【0133】

また、 P^0 型のボディ領域 14H をゲート電極 6 の直下に位置する SOI 層 3 の下層部のみに形成するため、ドレイン領域 11 及びソース領域 12 の N^+ 領域とボディ領域 14H の P^0 領域とによる PN 接合面が全く形成されないため、ジ

ジャンクションリークを抑制することができる。

【0134】

図14で示した実施の形態6の構造の製造方法について述べる。まず、図15に示すように、ゲート電極6形成後サイドウォール15形成前の段階において、全面にP型不純物イオン31を注入する。

【0135】

この際、ゲート電極6越しにイオン注入されたP型不純物のみがボディ部13の下層部に注入され、ゲート電極6を通過せずにイオン注入されたP型不純物はSOI層3を通過して、SOI層3下の埋込酸化膜2（図示せず）に注入されるようにする。例えば、SOI層膜厚 $t_{SOI}=100$ （nm）、ゲート電極6の膜厚 $t_{gate}=200$ （nm）のとき、注入エネルギー120（KeV）、ドーズ量 $1 \times 10^{14}/cm^2$ 程度でボロンをイオン注入すればよい。

【0136】

次にSOI層3に対しゲート電極6をマスクとして、N型不純物イオンを注入してN⁻型の中途ドレイン領域及び中途ソース領域を形成する。

【0137】

そして、サイドウォール15形成後に、ゲート電極6及びサイドウォール15をマスクとして再びN型の不純物を注入することにより、図14で示した構造を得る。

【0138】

<実施の形態7>

図16はこの発明に実施の形態7であるSOI構造のMOSトランジスタの断面構造を示す断面図である。同図に示すように、膜厚 t_1 のSOI層3Aのボディ固定トランジスタ領域A1にボディ電位が固定されたトランジスタ（DTMOSを含む）が形成され、膜厚 t_2 （ $< t_1$ ）のSOI層3Bのボディフローティングトランジスタ領域A2にボディがフローティング状態のトランジスタが形成される。

【0139】

SOI層3Aの膜厚 t_1 は、 $t_{SOI}=t_1$ としたときに式4（あるいは式6）

を満足して所望のゲート幅Wが形成可能な程度に設定され、SOI層3Bの膜厚は動作時にボディ領域14が完全空乏化状態になるように設定する。

【0140】

このような構造の実施の形態7において、ボディ固定トランジスタ領域A1に形成されるSOI構造のMOSトランジスタは、所望のゲート幅Wで安定動作が可能となる。

【0141】

一方、ボディフローティングトランジスタ領域A2に形成されるSOI構造のMOSトランジスタは、動作時にボディ領域14が完全空乏化状態となるため、S (Subthreshold) ファクタの良い電気特性を得ることができる。したがって、ボディフローティングトランジスタ領域A2に、動作速度が不安定なMOSトランジスタを用いても問題のない回路を形成すれば、Sファクタの良い電気特性が得られる分、有効となる。

【0142】

<実施の形態8>

図17はこの発明の実施の形態8であるSOI構造のMOSトランジスタの平面構造を示す平面図である。

【0143】

同図に示すように、ドレイン領域11、ソース領域12を平面上囲ってFS電極5が形成され、ドレイン領域11、ソース領域12間及びFS電極5の一部上にゲート電極6Aが形成される。

【0144】

ゲート電極6Aは、ドレイン領域11、ソース領域12間の領域上において2つの枠部61、62を有しており、枠部61、62の開口部にボディ領域14が露出している。枠部61、62内それぞれのボディ領域14上にボディコンタクト16、16を設けている。図17において、ゲート幅W方向におけるFS電極5から枠部61までの距離がW1、枠部61、62間の距離がW2、FS電極5から枠部62までの距離がW3となっている。

【0145】

なお、FS電極5の外周部に存在するボディ部13においてもゲート電極6Aの両端の延長線上にもボディコンタクト16、16が形成され、これらボディコンタクト16はFS電極5を挟んでドレイン領域11及びソース領域12と平面上対向する位置に存在する。また、図17の最外の外周線LIはSOI層がLOCOS等で絶縁分離される境界線を示している。

【0146】

また、ゲート電極A6形成方向の断面構造は図1で示した実施の形態1の断面構造と同様であり、ドレイン領域11、ソース領域12形成方向の断面構造は図9図11、図13、図14、図21等で示す構造と同様である。また、実施の形態8のMOSトランジスタは、実施の形態1で示したボディ固定電位MOSトランジスタでも、実施の形態2で示したDTMOSトランジスタのどちらでも良い。

【0147】

このような平面構造の実施の形態8のMOSトランジスタは、ゲート電極6Aの枠部61、62内にボディコンタクト16が設けられるため、ボディ領域14における固定電位伝達経路が3分割されるため、3分割されたボディ領域14それぞれのゲート幅W1、W2及びW3について式4あるいは式6を満足すれば安定動作が可能となる。

【0148】

その結果、ドレイン領域11、ソース領域12及びゲート電極6Aで構成されるMOSトランジスタの実質的なゲート幅として $(W1 + W2 + W3)$ を設定することができるため、安定動作が可能で、かつ十分大きなゲート幅のMOSトランジスタを形成することができる。

【0149】

<実施の形態9>

図18はこの発明の実施の形態9であるSOI構造のMOSトランジスタの平面構造を示す平面図である。

【0150】

同図に示すように、FS電極5Aは4つのスリットSL1～SL4が設けられ、各スリットSL1～SL4内にドレイン領域41～44及びソース領域51～54が形成される。FS電極5Aの下方はボディ部13が形成される。そして、ドレイン領域41～44、ソース領域51～54間及びFS電極5Aの一部上にゲート電極6が形成される。

【0151】

そして、実施の形態8同様、FS電極5Aの外周部に存在するボディ部13におけるゲート電極6の両端の延長線上にボディコンタクト16、16が形成される。なお、図18の最外の外周線LIはSOI層がLOCOS等で絶縁分離される境界線を示している。

【0152】

また、ゲート電極6形成方向の断面構造は図1で示した実施の形態1の断面構造と同様であり、ドレイン領域41～44、ソース領域51～53形成方向の断面構造は図9、図11、図13、図14、図21等で示す構造と同様である。また、実施の形態9のMOSトランジスタは、実施の形態1で示したボディ固定電位MOSトランジスタでも、実施の形態2で示したDTMOSトランジスタのどちらでも良い。

【0153】

このような平面構造の実施の形態9のMOSトランジスタは、FS電極5AのスリットSL1～SL4の境界となるFS電極5Aの領域の下方にはボディ部13が形成されており、ゲート電極6下方のボディ領域14に比べて十分小さい抵抗値による固定電位伝達経路が確保されるため、ボディ領域14における固定電位伝達経路は4分割され、各ゲート幅W11、W12、W13及びW14について式4あるいは式6を満足すれば安定動作が可能となる。

【0154】

その結果、ドレイン領域41～44、ソース領域51～54及びゲート電極6で構成されるMOSトランジスタの実質的なゲート幅として($W11 + W12 + W13 + W14$)を設定することができるため、安定動作が可能で、かつ十分大

きなゲート幅のMOSトランジスタを形成することができる。

【0155】

＜実施の形態10＞

図19はこの発明の実施の形態10であるSOI構造のMOSトランジスタの平面構造を示す平面図である。

【0156】

同図に示すように、ドレイン領域11、ソース領域12間及びボディ部13の一部上にゲート電極6Bが形成される。ゲート電極6Bは、ドレイン領域11、ソース領域12間の領域上において2つの枠部63、64を有しており、枠部63、64の開口部に露出されるボディ領域14上にそれぞれボディコンタクト16、16を設けている。図19に示すように、ゲート電極6Bのゲート幅W方向におけるゲート電極6Bの境界部から枠部63までの距離がW21、枠部63、64間の距離がW22、ゲート電極6Bの境界部から枠部64までの距離がW23となっている。

【0157】

なお、実施の形態8及び実施の形態9同様、ゲート電極6Bの両端の延長線上におけるボディ部13上にもボディコンタクト16、16が形成される。また、図19の最外の外周線LIはSOI層がLOCOS等で絶縁分離される境界線を示している。

【0158】

なお、ドレイン領域11、ソース領域12形成方向の断面構造は図9、図11、図13、図14、図21等で示す構造と同様である。また、実施の形態10のMOSトランジスタは、実施の形態1で示したボディ固定電位MOSトランジスタでも、実施の形態2で示したDTMOSトランジスタのどちらでも良い。

【0159】

このような平面構造の実施の形態10のMOSトランジスタは、ゲート電極6Bの図19上に縦方向に形成される左端及び右端の“I”部分によって、H型ゲートの左右の“I”と同様、ボディ部13（ボディ領域14）とドレイン領域11及びソース領域12とを電氣的に分離することができる。

【0160】

そして、実施の形態 10 の MOS トランジスタは、ゲート電極 6B の枠部 63, 64 内にボディコンタクト 16 が設けられるため、実施の形態 8 同様、ボディ領域 14 における固定電位伝達経路が 3 分割され、各ゲート幅 W_{21} , W_{22} 及び W_{23} について式 4 あるいは式 6 を満足すれば安定動作が可能となる。

【0161】

その結果、ドレイン領域 11、ソース領域 12 及びゲート電極 6B で構成される MOS トランジスタの実質的なゲート幅として ($W_{21} + W_{22} + W_{23}$) を設定することができるため、安定動作が可能で、かつ十分大きなゲート幅の MOS トランジスタを形成することができる。

【0162】

また、FS 電極の形成を省略する分、ボディ部 13 の形成面積を小さくすることができ、この構成で DT MOS トランジスタを構成するとより早い動作速度を達成することができる。

【0163】

<その他>

上記した実施の形態の MOS トランジスタと用い、各実施の形態のゲート幅 W が所定の制約条件を満足する範囲でゲートアレイを構成してもよい。また、上記実施の形態では、主として NMOS トランジスタを例に挙げたが、PMOS トランジスタにも本発明が適用可能なのは勿論である。

【0164】

【発明の効果】

以上説明したように、この発明における請求項 1 記載の半導体装置の設計方法のステップ (b) は、 C : MOS トランジスタのゲート容量 (F)、 R : 少なくとも 1 つのボディコンタクトからボディ領域に至る固定電位伝達経路の抵抗 (Ωm)、 f : 所定のクロックの動作周波数 (Hz) としたとき、 $f \geq 500 MHz$ の範囲において、条件式： $R \cdot C \cdot f < 1$ を満足するように MOS トランジスタのレイアウトパターンを決定しているため、高速動作時においても常に動作速度が安定したボディ電位固定の MOS トランジスタを設計することができる。

【0165】

この発明における請求項2記載の半導体装置の設計方法は、C：MOSトランジスタのゲート容量（F）、R：少なくとも1つのボディコンタクトからボディ領域に至る固定電位伝達経路の抵抗（ Ωm ）、 t_d ：MOSトランジスタに要求する信号伝播遅延時間（s）としたとき、 $t_d \leq 50 \text{ p s}$ の範囲において、条件式： $(R \cdot C) / t_d < 1$ を満足するようにMOSトランジスタのレイアウトパターンを決定しているため、高速動作時においても常に動作速度が安定したゲート電極、ボディ部短絡構造のMOSトランジスタを設計することができる。

【0166】

請求項3記載の半導体装置は、請求項1記載の半導体装置の設計方法によって設計されるため、高速動作時においても動作速度が安定したボディ電位固定のMOSトランジスタを得ることができる。

【0167】

請求項4記載の半導体装置は、請求項2記載の半導体装置の設計方法によって設計されるため、高速動作時においても動作速度が安定したゲート電極、ボディ部短絡構造のMOSトランジスタを得ることができる。

【0168】

この発明における請求項5記載の半導体装置は、C：MOSトランジスタのゲート容量（F）、R：少なくとも1つのボディコンタクトからボディ領域に至る固定電位伝達経路の抵抗（ Ωm ）、 f ：所定のクロックの動作周波数（Hz）としたとき、 $f \geq 500 \text{ MHz}$ の範囲において、条件式： $R \cdot C \cdot f < 1$ を満足するようにMOSトランジスタを形成しているため、高速動作時においても動作速度が安定したボディ電位固定のMOSトランジスタを得ることができる。

【0169】

この発明における請求項6記載の半導体装置は、C：MOSトランジスタのゲート容量（F）、R：少なくとも1つのボディコンタクトからボディ領域に至る固定電位伝達経路の抵抗（ Ωm ）、 t_d ：MOSトランジスタに要求する信号伝播遅延時間（s）としたとき、 $t_d \leq 50 \text{ p s}$ の範囲において、条件式： $(R \cdot C) / t_d < 1$ を満足するようにMOSトランジスタを形成しているため、高速

動作時においても動作速度が安定したゲート電極、ボディ部短絡構造のMOSトランジスタを得ることができる。

【0170】

請求項7記載の半導体装置は、ボディ部の抵抗 R は、 W ：ボディ領域における固定電位伝達経路のゲート電極のゲート幅方向の長さ、 L ：ボディ領域における前記固定電位伝達経路のゲート電極のゲート長方向の長さ、 t_{SOI} ：SOI層の膜厚、 ρ ：ボディ領域の比抵抗としたとき、 $R = (\rho \cdot W) / (L \cdot t_{SOI})$ で決定するため、SOI層の膜厚、ボディ領域の比抵抗を予め設定することにより、ボディ領域の大きさの許容範囲を求めることができる。

【0171】

請求項8記載の半導体装置において、ボディ領域を除く第1及び第2の半導体領域に隣接したボディ部上に絶縁膜を介して形成される分離電極を備え、分離電極を挟んで第1及び第2の半導体領域と平面上対向する位置のボディ部の領域上に分離電極外ボディコンタクトが形成されるため、この分離電極に逆バイアス電圧を印加することによって、分離電極外ボディコンタクトと第1及び第2の半導体領域との間を電氣的に分離し、分離電極外ボディコンタクトから得られる固定電位が第1及び第2の半導体領域に悪影響を与えないようにすることができる。

【0172】

請求項9記載の半導体装置において、ゲート電極はボディ領域のボディコンタクト可能領域が露出する開口部を有し、ボディコンタクトは、ボディコンタクト可能領域上に形成されるゲート電極内ボディコンタクトをさらに含んでいる。

【0173】

したがって、ボディ領域における固定電位伝達経路はゲート電極内ボディコンタクトによって分割されるため、ゲート電極内ボディコンタクトによって分割されたボディ領域単位で条件式1あるいは条件式2を満足すれば良くなる分、ゲート電極のゲート幅方向のボディ領域全体の長さを長く設定することができる。

【0174】

請求項10記載の半導体装置において、複数の第1及び第2の半導体領域をそれぞれボディ部で分離形成されている。

【0175】

したがって、ボディ領域における固定電位伝達経路は、上記複数の第1及び第2の半導体領域をそれぞれ分離するボディ部によって分割されるため、MOSトランジスタにおける複数の第1及び第2の半導体領域それぞれが上記条件式1あるいは条件式2を満足すれば良くなる分、ゲート電極のゲート幅方向のボディ領域全体の長さを長く設定することができる。

【0176】

請求項11記載の半導体装置において、ゲート電極は第1及び第2の半導体領域に隣接したボディ部上を、ボディ領域上からゲート長方向にさらに延びて形成され、ゲート電極外ボディコンタクトはゲート電極を挟んで第1及び第2の半導体領域と平面上対向するボディ部の領域上に形成される。

【0177】

したがって、ゲート電極にOFF電圧を印加することによって、ゲート電極外ボディコンタクトと第1及び第2の半導体領域との間を電氣的に分離し、ゲート電極外ボディコンタクトから得られる固定電位が第1及び第2の半導体領域に悪影響を与えないようにすることができる。

【0178】

請求項12記載の半導体装置において、ゲート電極はボディ領域のボディコンタクト可能領域が露出する開口部を有し、ボディコンタクトは、ボディコンタクト可能領域上に形成されるゲート電極内ボディコンタクトをさらに含んでいる。

【0179】

したがって、ボディ領域における固定電位伝達経路はゲート電極内ボディコンタクトによって分割されるため、MOSトランジスタは分割されたボディ領域単位で条件式1あるいは条件式2を満足すれば良くなる分、ゲート電極のゲート幅方向のボディ領域全体の長さを長く設定することができる。

【0180】

請求項13記載の半導体装置において、少なくとも1つのボディコンタクトは、ゲート電極のゲート幅方向の一端及び他端の延長線上に位置するボディ部上に形成される第1及び第2のボディコンタクトとを含んでいる。

【0181】

したがって、ボディ領域における固定電位伝達経路は第1及び第2のボディコンタクトによって分割されるため、MOSトランジスタは2分割されたボディ領域単位で条件式1あるいは条件式2を満足すれば良くなる分、ゲート電極のゲート幅方向のボディ領域全体の長さを長く設定することができる。

【0182】

請求項14記載の半導体装置において、ボディ領域の下層部にある第2のボディ領域は、第1のボディ領域の第2の導電型の不純物濃度よりも高い第2の導電型の不純物濃度を有するため、ボディ領域全体を第1のボディ領域の不純物濃度にする場合に比べてボディ領域の比抵抗を減少させることができる。

【0183】

その結果、条件式1あるいは条件式2を満足するパラメータのうち、ボディ領域の比抵抗、ボディ領域における固定電位伝達経路のゲート電極のゲート幅方向の長さ以外のパラメータがすべて同条件の場合、ボディ領域の比抵抗を低下させる分、上記ゲート幅方向の長さを長く設定することができる。

【0184】

請求項15記載の半導体装置において、比較的不純物濃度が高い第1及び第2の部分ボディ領域は、比較的不純物濃度が高い第1及び第2の主領域と界面を接して形成され、比較的不純物濃度が低い第1のボディ領域は第1及び第2の主領域と界面を接することなく形成されたため、第1及び第2の主領域からの空乏層の伸びを第1及び第2の部分ボディ領域によって確実に抑制することができ、パンチスルーに強い構造のMOSトランジスタを得ることができる。

【0185】

また、比較的不純物濃度の低い第1及び第2の部分半導体領域はそれぞれ第1及び第2の部分ボディ領域よりゲート電極の中心方向に所定距離延びて形成されるため、第1及び第2の部分ボディ領域の比較的高い不純物濃度がチャネル形成時のMOSトランジスタの電流特性に悪影響を与えることもない。

【0186】

請求項16記載の半導体装置において、比較的不純物濃度が低い第1及び第2

の部分半導体領域はそれぞれ第 1 及び第 2 の半導体領域間で対向する一部分の領域に S O I 層を貫通して形成される。

【0187】

したがって、比較的不純物濃度が高い第 2 のボディ領域と比較的不純物濃度が高い第 1 あるいは第 2 の半導体領域とが界面を接することがないため、ジャンクションリークを最小限に抑えることができる。

【0188】

請求項 17 記載の半導体装置において、比較的不純物濃度が高い第 2 のボディ領域は、第 1 及び第 2 の主領域と界面を接することなく下層部の中心領域に形成される。

【0189】

したがって、比較的不純物濃度が高い第 2 のボディ領域と比較的不純物濃度が高い第 1 あるいは第 2 の半導体領域とが界面を接することがないため、ジャンクションリークを最小限に抑えることができる。

【0190】

請求項 18 記載の半導体装置において、ボディ電位を固定する MOS トランジスタは膜厚が比較的厚い第 1 の領域上に形成され、ボディフローティング MOS トランジスタは膜厚が比較的薄い第 2 の領域上に形成される。

【0191】

したがって、条件式 1 あるいは条件式 2 を満足するパラメータのうち、S O I 層の膜厚、ゲート電極のゲート幅方向のボディ領域の長さ以外のパラメータがすべて同条件の場合、S O I 層の膜厚を厚くする分、ボディ電位を固定する MOS トランジスタのゲート幅方向のボディ領域の長さを長く設定することができる。

【0192】

一方、ボディフローティング MOS トランジスタは、ボディ電位を固定する MOS トランジスタに影響を与えることなく、所望の動作特性を得るように S O I 層の膜厚を薄くして形成することができる。

【0193】

この発明における請求項 19 記載の記録媒体は、請求項 1 あるいは請求項 2 記

載の半導体装置の設計方法を実行させるためのプログラムが記録されているため、このプログラムをコンピュータに実行させることにより、高速動作時においても常に安定動作が可能な、ボディ電位固定のMOSトランジスタゲート電極、あるいはボディ部短絡構造のMOSトランジスタを設計することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1の設計方法で設計されるSOI構造のMOSトランジスタの構成を示す平面図である。

【図2】 図1のA-A断面を示す断面図である。

【図3】 実施の形態1のボディコンタクト構成を示す平面図である。

【図4】 実施の形態1の半導体装置の設計方法の処理手順を示すフローチャートである。

【図5】 実施の形態1の設計方法を実行するレイアウトパターン生成装置を示すブロック図である。

【図6】 実施の形態1のHゲート電極構成を示す平面図である。

【図7】 実施の形態2の半導体装置の設計方法の処理手順を示すフローチャートである。

【図8】 実施の形態3の構造（その1）を示す断面図である。

【図9】 実施の形態3の構造（その2）を示す断面図である。

【図10】 不純物濃度と比抵抗との関係を示すグラフである。

【図11】 実施の形態4の構造（その1）を示す断面図である。

【図12】 実施の形態4の製造方法を示す断面図である。

【図13】 実施の形態5の構造を示す断面図である。

【図14】 実施の形態6の構造を示す断面図である。

【図15】 実施の形態6の製造方法を示す断面図である。

【図16】 実施の形態7の構造を示す断面図である。

【図17】 実施の形態8の構成を示す平面図である。

【図18】 実施の形態9の構成を示す平面図である。

【図19】 実施の形態10の構成を示す平面図である。

【図20】 フィールド分離構造を有する半導体装置の全体構成を示す斜視

図である。

【図 2 1】 SOI 構造の MOS トランジスタを示す断面図である。

【図 2 2】 従来の SOI 構造の MOS トランジスタの問題点を指摘したグラフである。

【図 2 3】 ボディ電位固定の MOS トランジスタを模式的に示した説明図である。

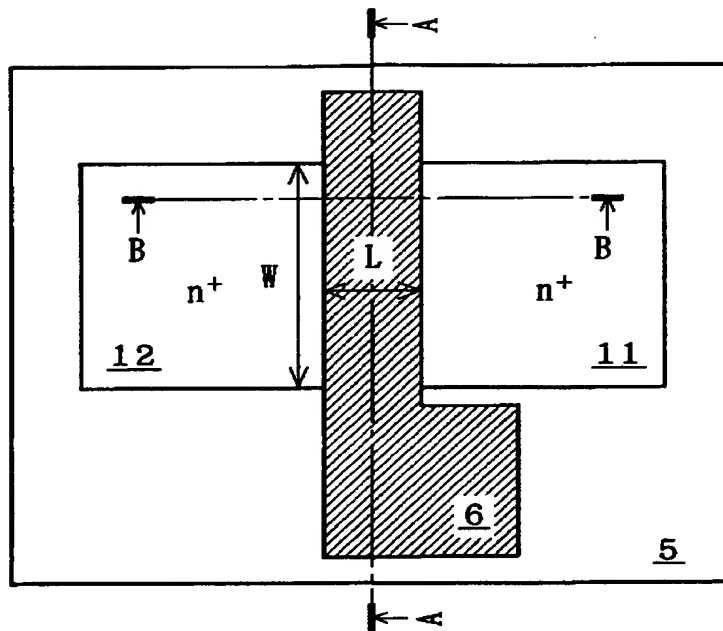
【図 2 4】 DTMOS トランジスタを模式的に示した説明図である。

【符号の説明】

4 FS 絶縁層、5, 5A FS 電極、6, 6A, 6B ゲート電極、11 ドレイン領域、11A~11C 部分ドレイン領域、12 ソース領域、12A~12C 部分ソース領域、13, 23 ボディ部、14, 14A~14H ボディ領域、15 サイドウォール、16 ボディコンタクト、26 Hゲート電極、100 レイアウトパターン生成装置、101 記録媒体、A1 ボディ固定トランジスタ領域、A2 ボディフローティングトランジスタ領域。

【書類名】 図面

【図 1】



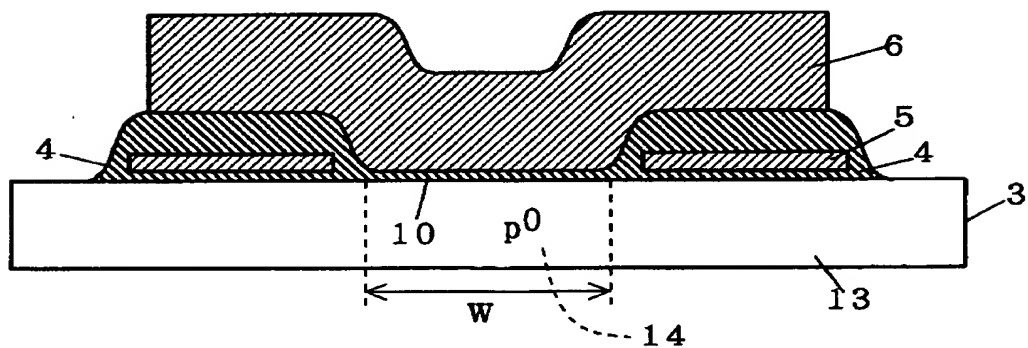
5 : F S 電極

6: ゲート電極

11:ドレイン領域

12: ソース領域

【図 2】



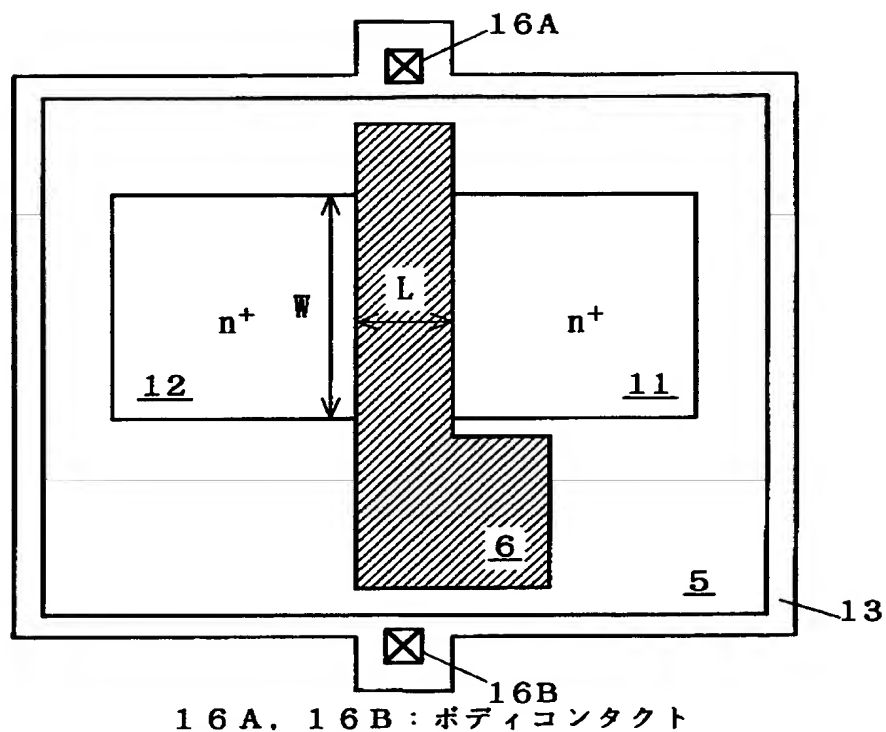
3 : S O I 層

13: ボディ部

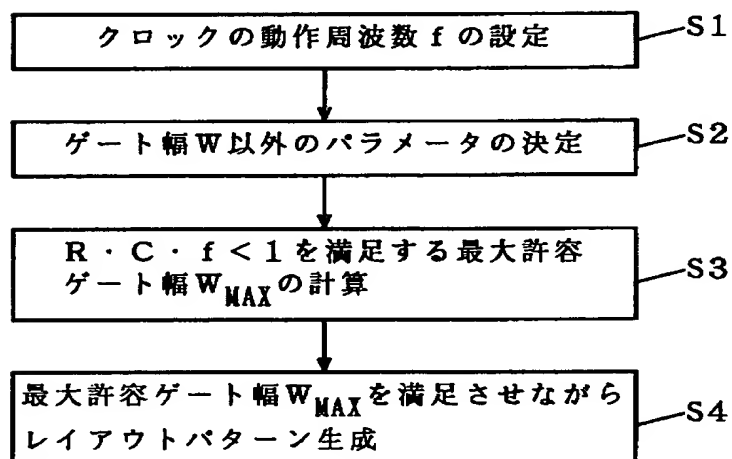
4 : F S 絶縁膜

14: ボディ領域

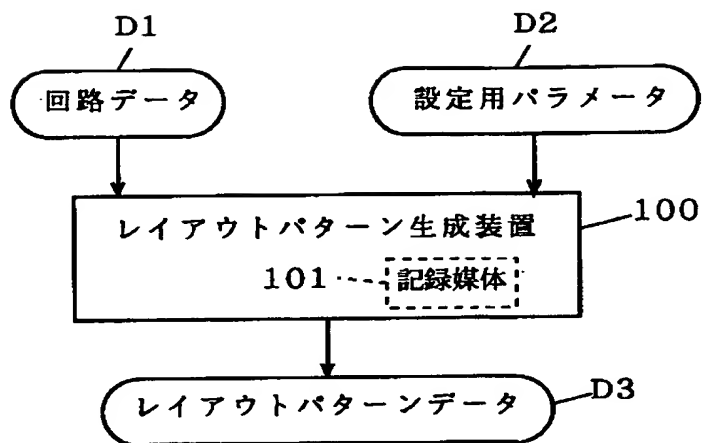
【図3】



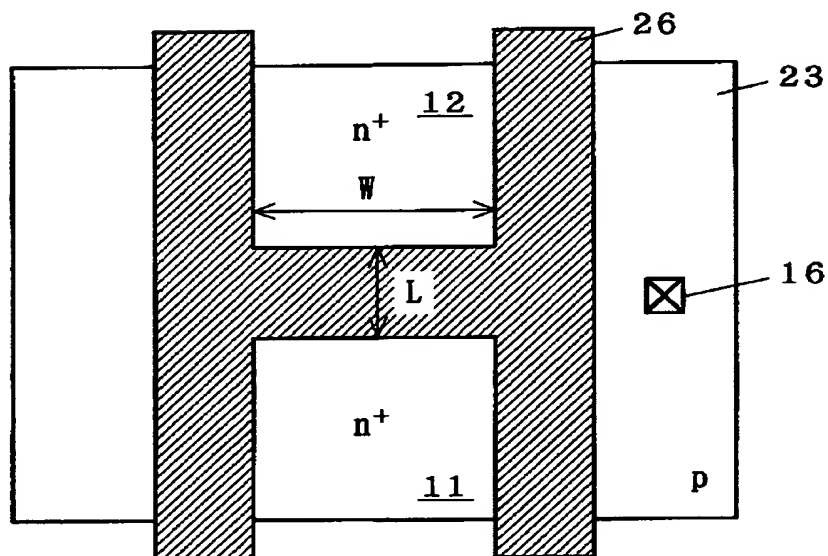
【図4】



【図 5】



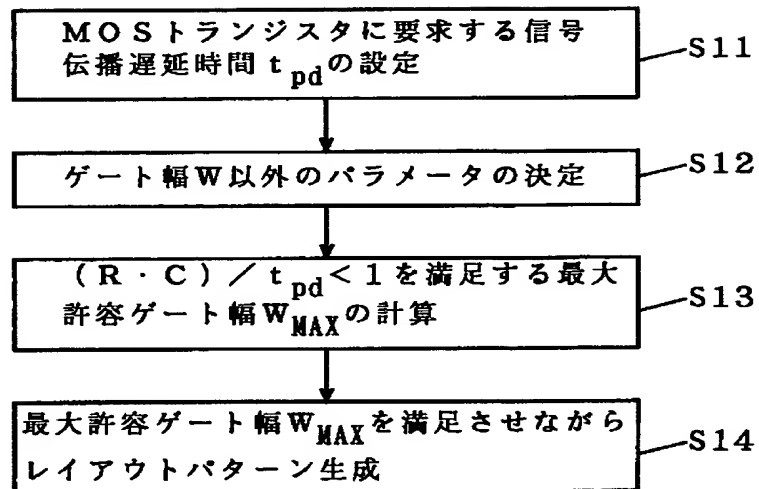
【図 6】



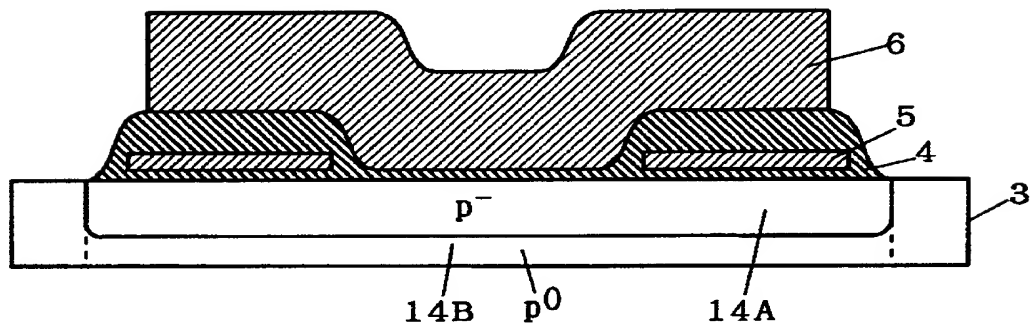
23 : ボディ部

26 : Hゲート電極

【図 7】

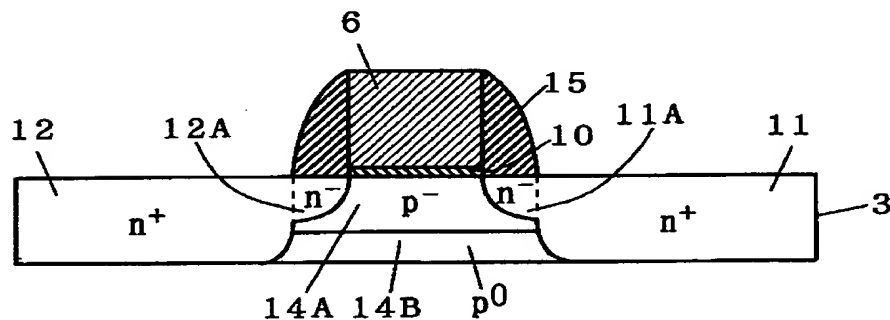


【図 8】



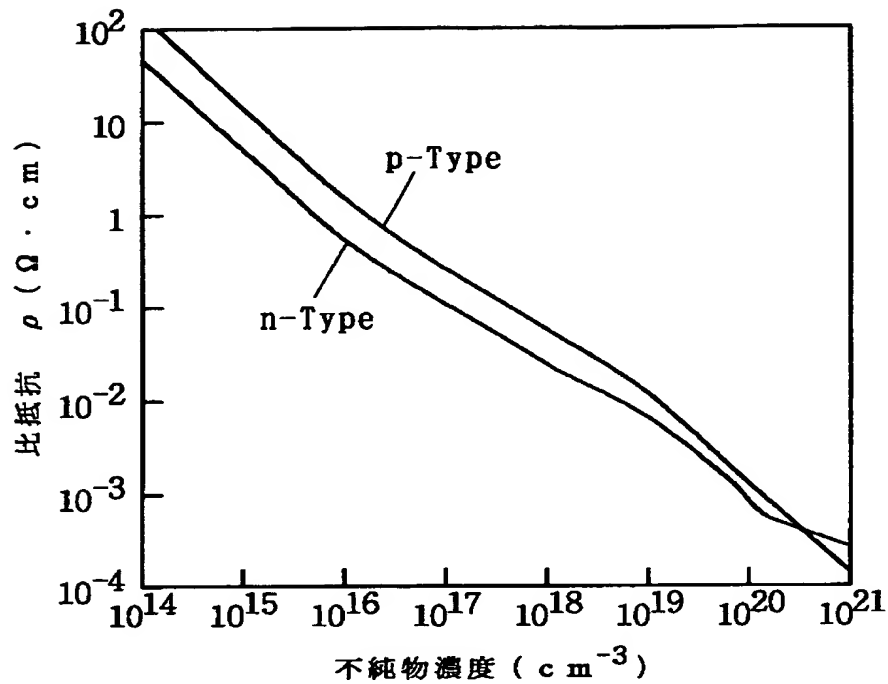
14A, 14B: ボディ領域

【図 9】

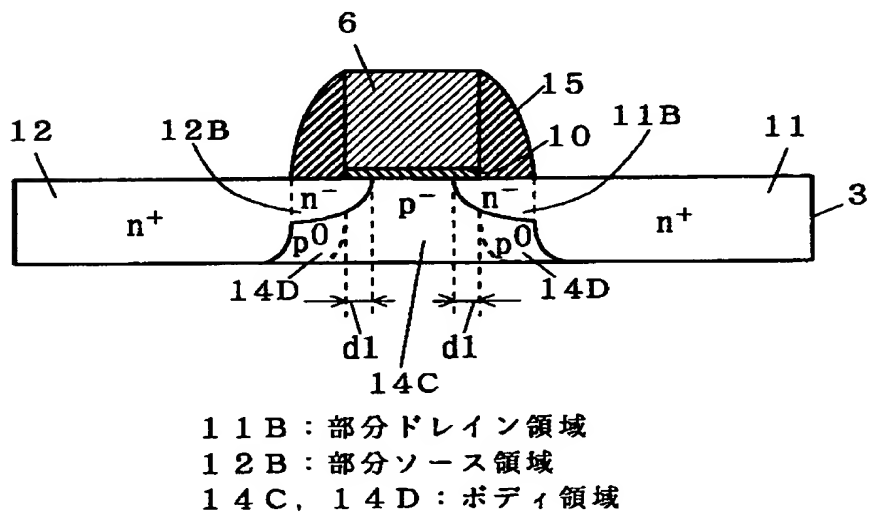


11A: 部分ドレイン領域
 11B: 部分ソース領域
 15: サイドウォール

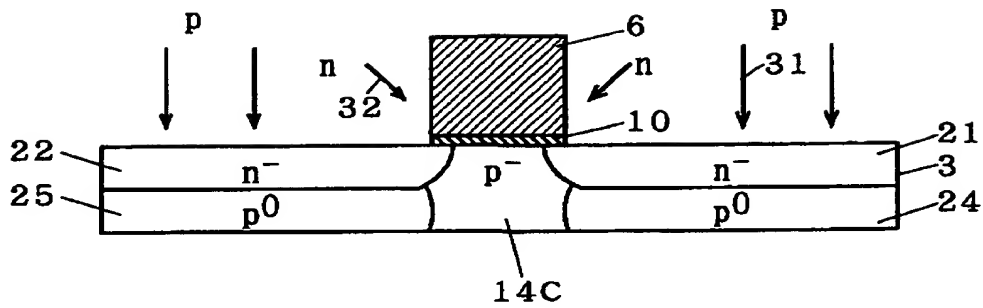
【図 10】



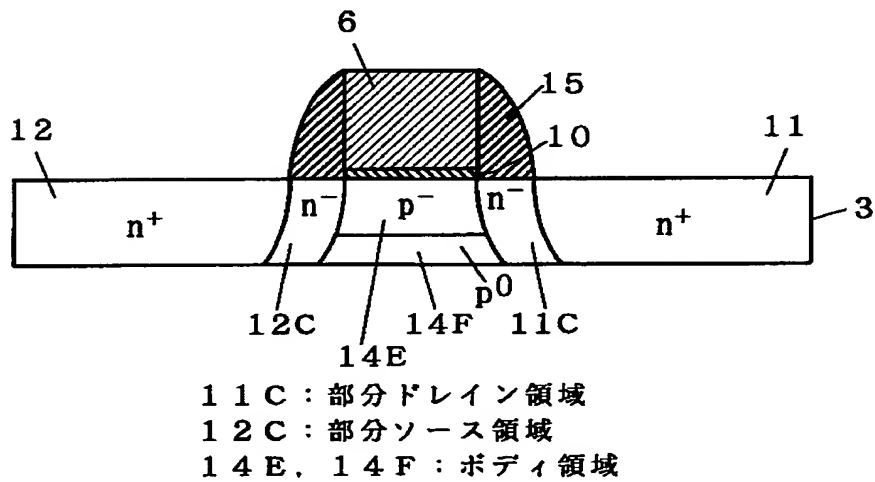
【図 11】



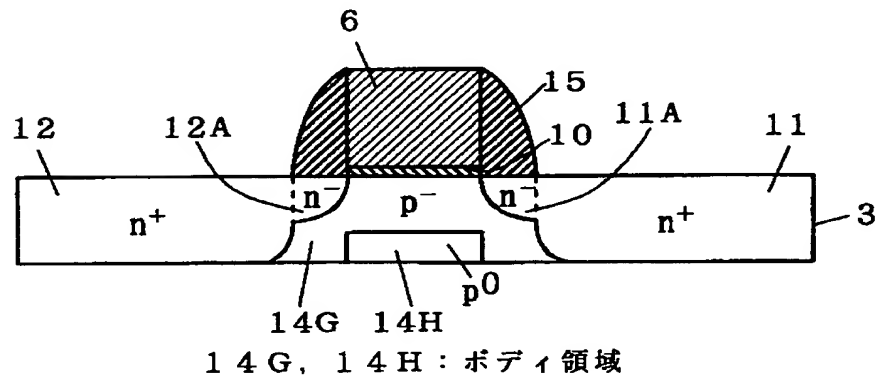
【図 12】



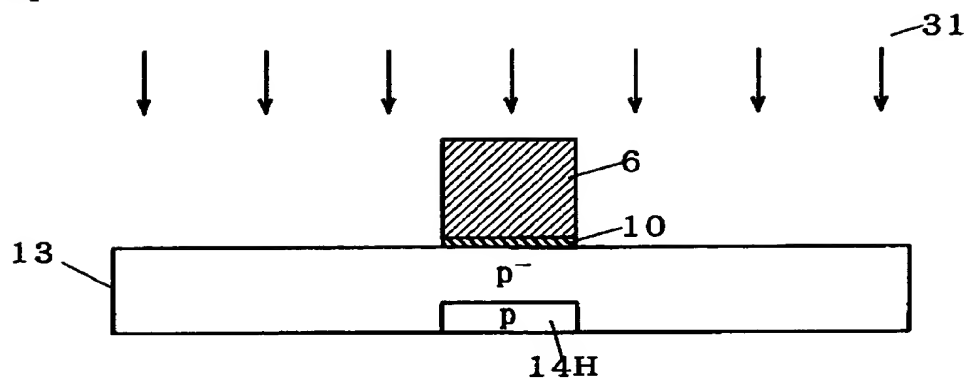
【図 13】



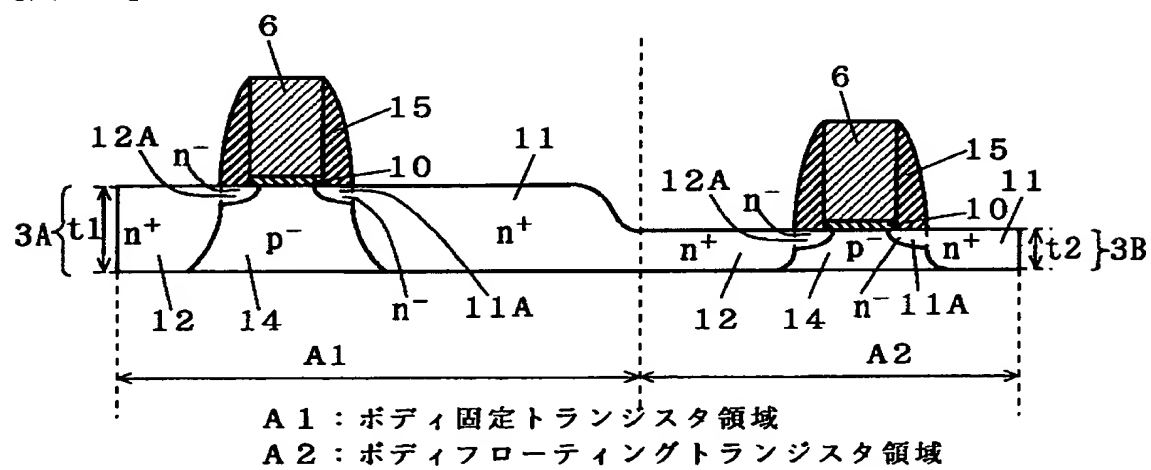
【図 14】



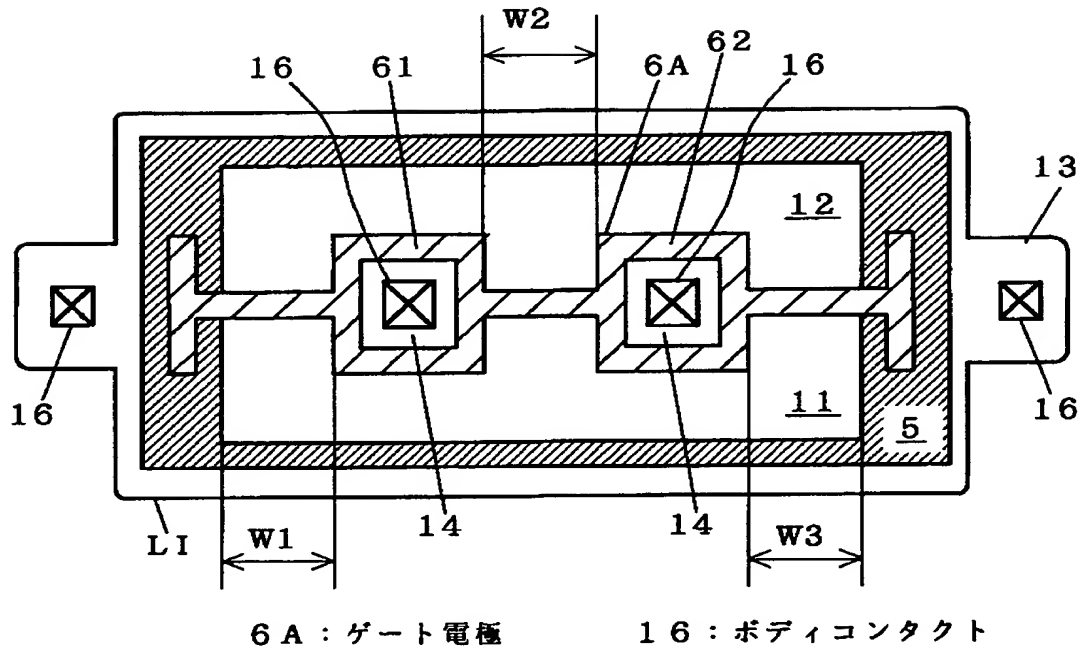
【図 15】



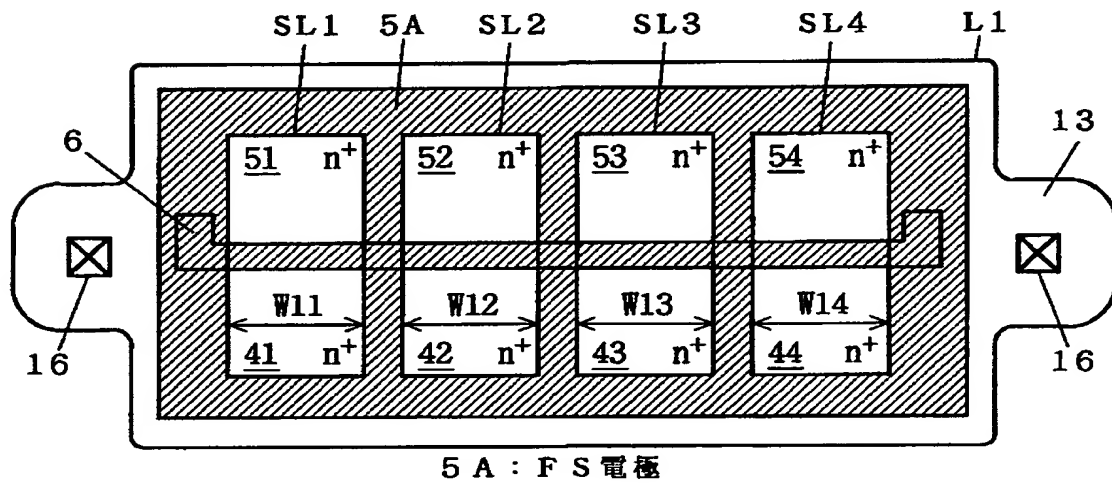
【図 16】



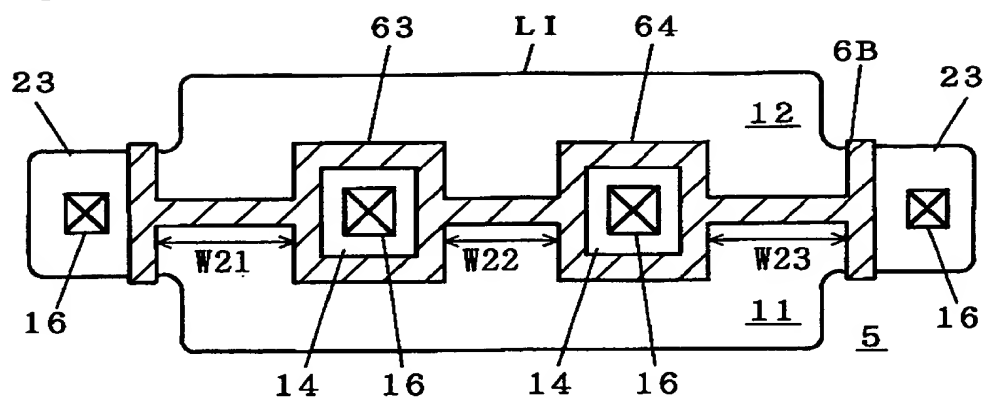
【図 17】



【図 18】



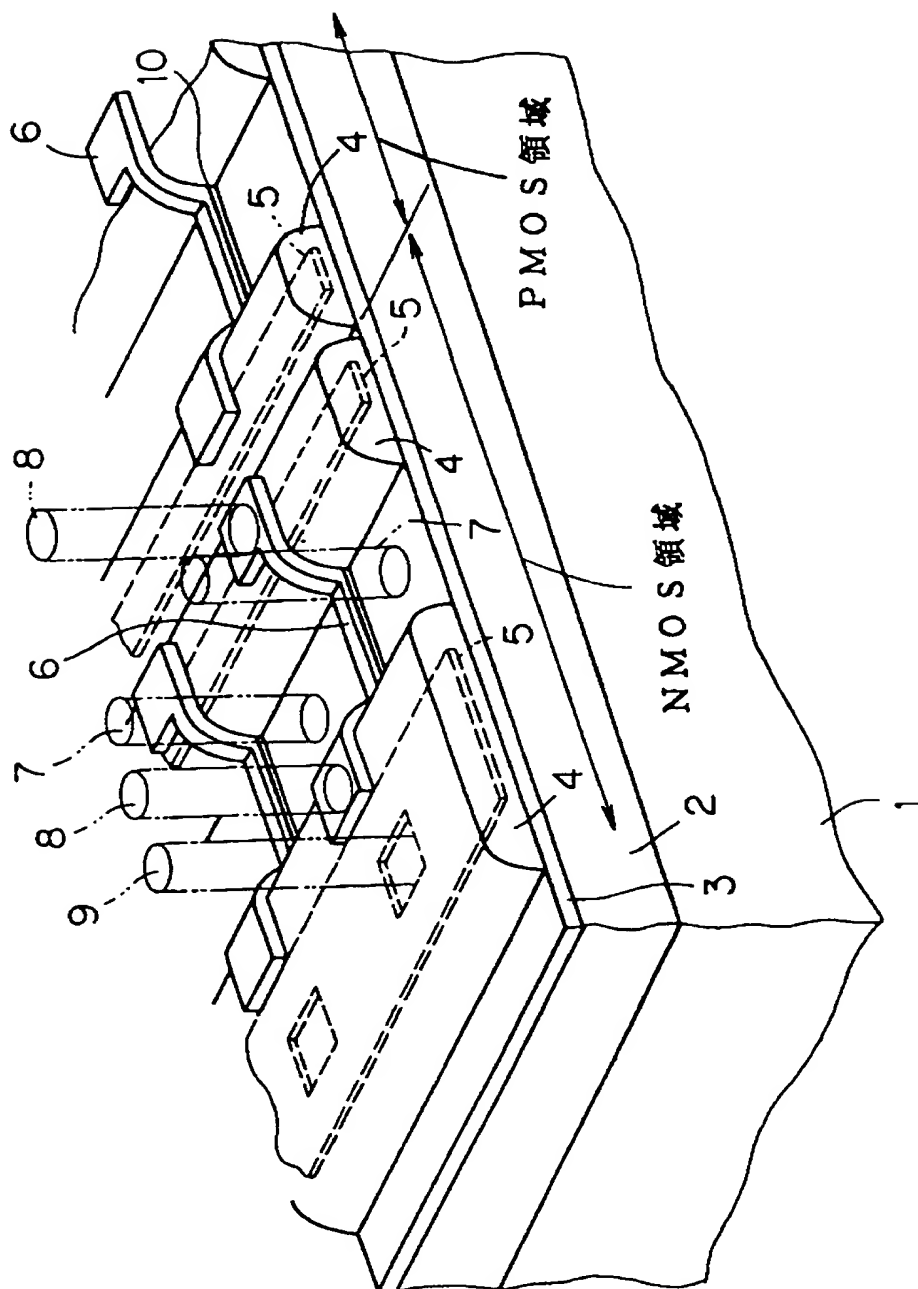
【図 19】



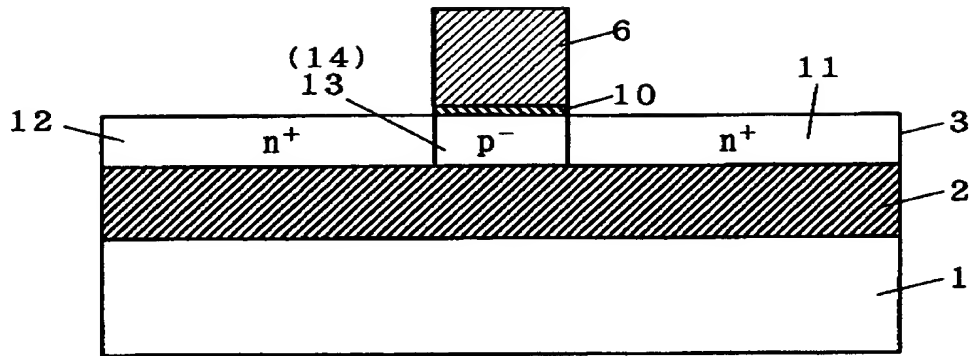
6B: ゲート電極

【図 20】

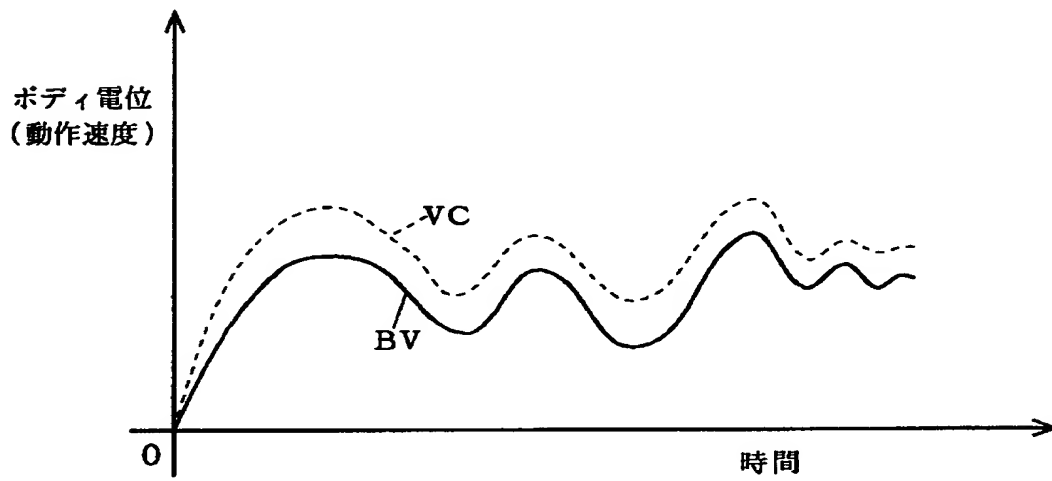
M90



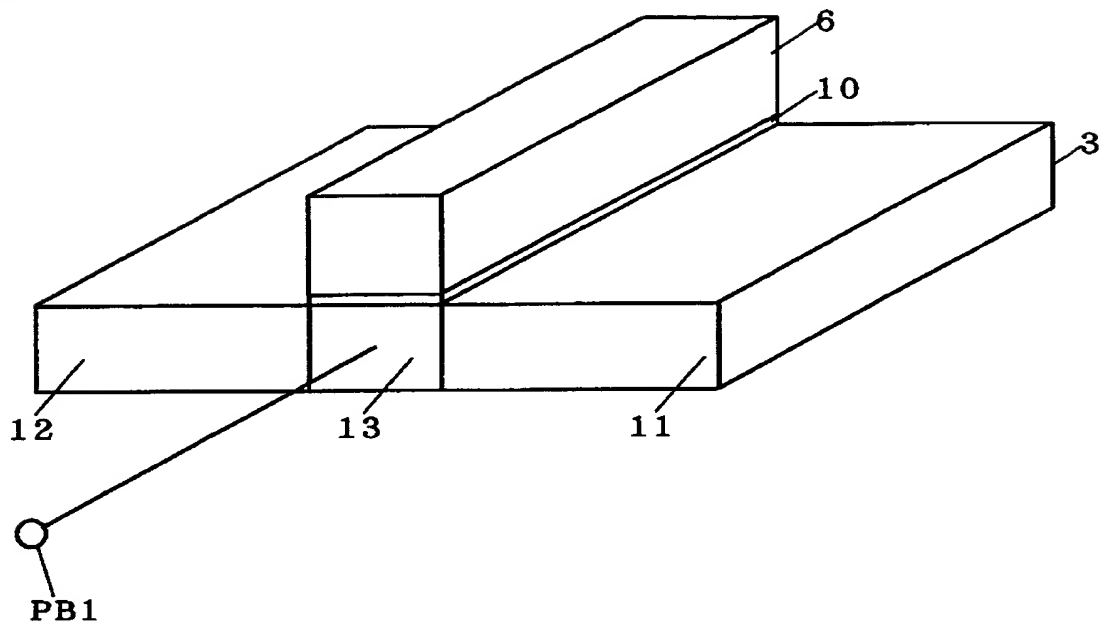
【図 2 1】



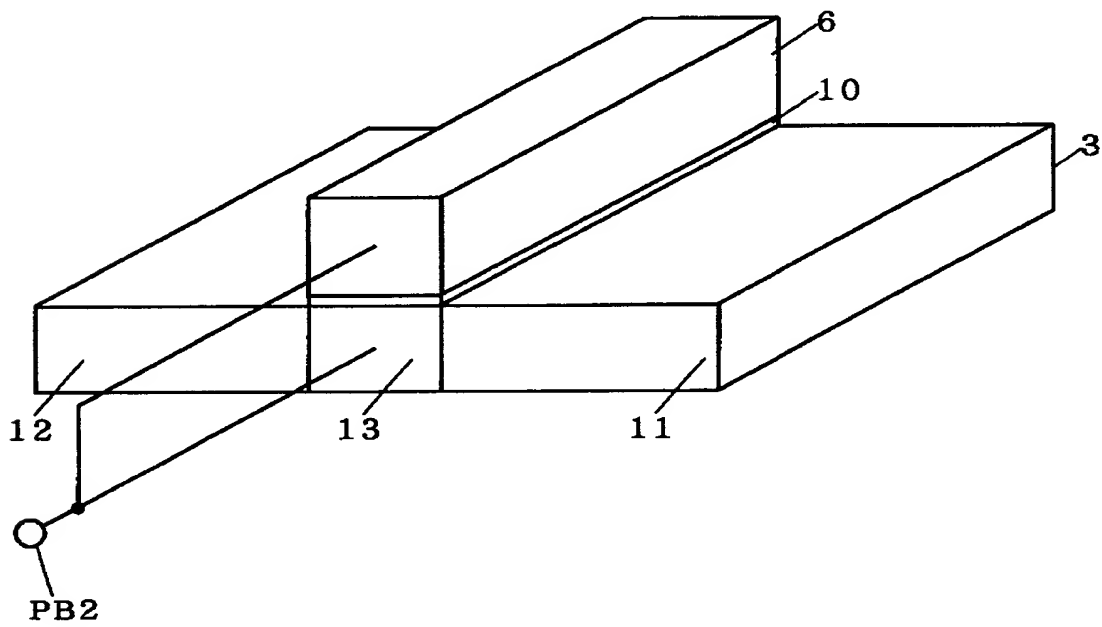
【図 2 2】



【図 23】



【図 24】



【書類名】 要約書

【要約】

【課題】 動作速度が影響を受けないSOI構造のトランジスタを有する半導体装置を設計する方法を得る。

【解決手段】 SOI構造のMOSトランジスタにおいて、ゲート容量 C (F)、ボディ抵抗 R (Ω) 及びクロックの動作周波数 f (Hz) とした場合、 $f \geq 500$ MHzの範囲において、ステップS3で $R \cdot C \cdot f < 1$ を満足するMOSトランジスタの最大許容ゲート幅 W_{MAX} を計算し、ステップS4で最大許容ゲート幅 W_{MAX} を満足したMOSトランジスタを含む半導体装置のレイアウトパターンを生成する。

【選択図】 図4

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000006013
【住所又は居所】 東京都千代田区丸の内二丁目2番3号
【氏名又は名称】 三菱電機株式会社

【代理人】 申請人

【識別番号】 100089233
【住所又は居所】 大阪市中央区城見1丁目4番70号 住友生命OB
Pプラザビル10階 吉田・吉竹・有田特許事務所
【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672
【住所又は居所】 大阪市中央区城見1丁目4番70号 住友生命OB
Pプラザビル10階 吉田・吉竹・有田特許事務所
【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845
【住所又は居所】 大阪市中央区城見1丁目4番70号 住友生命OB
Pプラザビル10階 吉田・吉竹・有田特許事務所
【氏名又は名称】 有田 貴弘

出 願 人 履 歴 情 報

識別番号 [000006013]

| | |
|----------|-------------------|
| 1. 変更年月日 | 1990年 8月24日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都千代田区丸の内2丁目2番3号 |
| 氏 名 | 三菱電機株式会社 |